

PAT-NO: JP02000049184A  
DOCUMENT-IDENTIFIER: JP 2000049184 A  
TITLE: SEMICONDUCTOR DEVICE AND PRODUCTION THEREOF  
PUBN-DATE: February 18, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKAHASHI, YASUSHI	N/A
HIRASHIMA, TOSHINORI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP11083868

APPL-DATE: March 26, 1999

PRIORITY-DATA: 10145607 ( May 27, 1998)

INT-CL (IPC): H01L021/60, H01L023/48

ABSTRACT:

PROBLEM TO BE SOLVED: To protect insulating sealing resin from deteriorating through heating caused by increase of drain current.

SOLUTION: The semiconductor device comprises a metallic header 3 a semiconductor chip 7 constituting a power MOSFET being secured onto the header 3, an insulating resin sealing body 2 covering the semiconductor chip 7, the header 3, and the like, a suspension lead 4 continuous to the header 3 and projecting from one side of the sealing body 2, a source lead 5 and a gate lead 6 arranged side by side and projecting from one side of the sealing body 2, and a wire 14 located in the sealing body 2 and connecting the electrode on the

upper surface of the semiconductor chip 7 with the source lead 5 and the gate lead 6. The source led 5 comprises a plurality of leads arranged side by side wherein the forward ends of these leads are connected with one connecting part 20 in the sealing body and the connecting part 20 is connected with the electrode of the semiconductor chip 7 through four Al wires 14 having diameter of 500  $\mu\text{m}$ .

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49184

(P2000-49184A)

(43)公開日 平成12年2月18日(2000.2.18)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テラコード(参考)
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60	3 0 1 A
23/48		23/48	P

審査請求 未請求 請求項の数31 O L (全 25 頁)

(21)出願番号 特願平11-83868

(22)出願日 平成11年3月26日(1999.3.26)

(31)優先権主張番号 特願平10-145607

(32)優先日 平成10年5月27日(1998.5.27)

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 ▲高▼橋 靖司

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(72)発明者 平島 利宜

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(74)代理人 100083552

弁理士 秋田 収喜

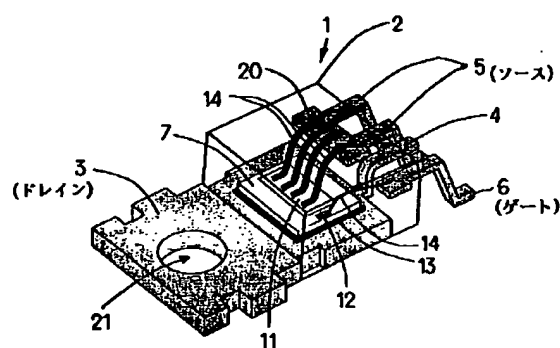
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ドレイン電流増大による発熱に起因する絶縁性封止樹脂の劣化防止。

【解決手段】 金属性のヘッダと、このヘッダ上に固定されるパワー-MOSFETを構成する半導体チップと、半導体チップやヘッダ等を被う絶縁性樹脂からなる封止体とを有し、ヘッダに連なり封止体の一側面から突出する吊りリードと、封止体の一側面から並んで突出するソースリードおよびゲートリードと、封止体内に位置し半導体チップの上面の電極とソースリードおよびゲートリードを接続するワイヤとを有する半導体装置であって、ソースリードは並んだ複数本のリードで構成され、かつこれらのリードの先端は封止体の内部において1本の連結部に連結され、連結部と半導体チップの電極は太さ500μmの4本のA1ワイヤで接続されている。

図 1



## 【特許請求の範囲】

【請求項1】 絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記支持基板に連なり前記封止体の一側面から突出する吊りリードと、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電氣的に接続するワイヤとを有する半導体装置であって、前記第2電極リードは並んだ複数本のリードで構成され、かつこれらのリードの先端は前記封止体の内部において1本の連結部に連結され、前記連結部と前記半導体チップの第2電極は並んだ複数のワイヤで接続されていることを特徴とする半導体装置。

【請求項2】 絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電氣的に接続するワイヤとを有する半導体装置であって、前記第2電極リードはワイヤが接続されるワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広くなるとともにワイヤ接続部から複数のリードを平行に延在させた構造になっていることを特徴とする半導体装置。

【請求項3】 前記連結部または前記ワイヤ接続部はそれぞれ分断されて電氣的に独立した複数の導体部で構成されているとともに、各導体部からは少なくとも1本の前記リードが延在していることを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】 前記複数本のリードで構成される第2電極リードは前記封止体から外れた部分で前記各リードは相互に連結片で連結されて幅広構造になっていることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置。

【請求項5】 絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記支持基板に連なり前記封止体の一側面から突出する吊りリードと、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に

第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電氣的に接続するワイヤとを有し、少なくとも前記第2電極リードのワイヤが接続されるワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広くなっていることを特徴とする半導体装置。

【請求項6】 絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電氣的に接続するワイヤとを有し、前記第2電極リードのワイヤが接続されるワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広くなっていることを特徴とする半導体装置。

【請求項7】 前記第2電極リードの幅は前記制御電極リードの幅よりも幅広になっていることを特徴とする請求項5または請求項6に記載の半導体装置。

【請求項8】 前記吊りリードは前記封止体の近傍で切断されて使用されないリード、または第1電極用のリードとして使用できる面実装構造または挿入実装構造になっていることを特徴とする請求項1、請求項3乃至請求項5、請求項7のいずれか1項に記載の半導体装置。

【請求項9】 前記第2電極リードおよび前記制御電極リードの連結部またはワイヤ接続部の端が前記封止体の側面に露出または突出していることを特徴とする請求項1乃至請求項8のいずれか1項に記載の半導体装置。

【請求項10】 前記封止体の一側面から突出する制御電極リードおよび第2電極リードは真っ直ぐ延在して挿入実装構造になり、かつ前記第2電極リードが幅広構造のものではリード先端には突出する挿入実装用の挿入部が形成されていることを特徴とする請求項1乃至請求項9のいずれか1項に記載の半導体装置。

【請求項11】 前記封止体の一側面から突出する制御電極リードおよび第2電極リードは途中で屈曲して面実装構造になっていることを特徴とする請求項1乃至請求項10のいずれか1項に記載の半導体装置。

【請求項12】 前記第2電極リードが幅広構造のものでは、前記第2電極リードの実装部分にはビス取り付け穴が設けられていることを特徴とする請求項5乃至請求項9または請求項11のいずれか1項に記載の半導体装置。

【請求項13】 前記第2電極リードが幅広構造のもの

では、リード先端には挿入実装用の突出する挿入部が形成され面実装または挿入実装で使用できる構造になっていることを特徴とする請求項5乃至9、請求項11または請求項12のいずれか1項に記載の半導体装置。

【請求項14】 前記第2電極リードが幅広構造のものでリードが屈曲される構造では前記リードの屈曲成形の均等化を図るように前記第2電極リードの屈曲部分には1乃至複数の折曲均等用孔が設けられていることを特徴とする請求項11乃至請求項12のいずれか1項に記載の半導体装置。

【請求項15】 前記各リードの間隔が一定であることを特徴とする請求項1乃至請求項14のいずれか1項に記載の半導体装置。

【請求項16】 前記各リードの間隔は少なくとも一部で異なっていることを特徴とする請求項1乃至請求項14のいずれか1項に記載の半導体装置。

【請求項17】 前記第2電極リードは中央または中央寄りに位置していることを特徴とする請求項1乃至請求項16のいずれか1項に記載の半導体装置。

【請求項18】 前記リード全体は前記封止体の一侧寄りに偏って配置されていることを特徴とする請求項1乃至請求項17のいずれか1項に記載の半導体装置。

【請求項19】 前記支持基板の前記封止体から突出した部分には取付用孔が設けられていることを特徴とする請求項1乃至請求項18のいずれか1項に記載の半導体装置。

【請求項20】 前記支持基板の前記封止体から突出する部分は数mm程度であることを特徴とする請求項1乃至請求項19のいずれか1項に記載の半導体装置。

【請求項21】 前記ワイヤはA1ワイヤからなり、前記第2電極リードと第2電極とを接続するワイヤの本数は3本以上になっていることを特徴とする請求項1乃至請求項20のいずれか1項に記載の半導体装置。

【請求項22】 前記半導体チップには第1電極、第2電極、制御電極をそれぞれ電極とするパワーMOSFET、パワーバイポーラトランジスタ、IGBTのうちのいずれかのトランジスタを有することを特徴とする請求項1乃至請求項21のいずれか1項に記載の半導体装置。

【請求項23】 バターニングされかつ一部で1段屈曲させた一枚の金属板からなり、第1電極を構成するとともに半導体チップが固定される支持基板と、前記支持基板を先端に支持する吊りリードと、前記吊りリードと並んで延在する第2電極リードおよび制御電極リードを有するリードフレームを用意する工程と、下面に第1電極を有し上面に第2電極と制御電極を有する半導体チップを用意する工程と、前記半導体チップをその第1電極部分で導電性の接合材を介して前記支持基板上に固定する工程と、前記半導体チップの第2電極と前記第2電極リードのワイヤ接続部をおよび前記半導体チップの制御電

極と前記制御電極リードのワイヤ接続部を導電性のワイヤで接続する工程と、前記半導体チップ、前記接続手段、第2電極リードおよび制御電極リードの一部を絶縁性樹脂でモールドして封止体で被う工程と、前記リードフレームの不要部分を切断除去するとともにリードを挿入実装構造または面実装構造に形成する工程とを有する半導体装置の製造方法であって、前記第2電極リードを制御電極リードの幅よりも広い幅広構造または前記封止体内部において連結部で連なる複数本のリードで構成しておき、その後前記半導体チップを前記支持基板上に固定し、その後前記半導体チップの第2電極と前記幅広構造の第2電極リードの先端または前記第2電極と前記連結部を複数本のワイヤで接続することを特徴とする半導体装置の製造方法。

【請求項24】 少なくとも前記第2電極リードのワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広いリードとなるように前記第2電極リードを形成しておくことを特徴とする請求項23に記載の半導体装置の製造方法。

【請求項25】 バターニングされかつ一部で1段屈曲させた一枚の金属板からなり、第1電極を構成するとともに半導体チップが固定される支持基板と、前記支持基板の一端面側に向かって並んで延在する第2電極リードおよび制御電極リードと、前記支持基板の一端面と交差する両側面部分で前記支持基板を先端に支持する吊りリードを有するリードフレームを用意する工程と、下面に第1電極を有し上面に第2電極と制御電極を有する半導体チップを用意する工程と、前記半導体チップをその第1電極部分で導電性の接合材を介して前記支持基板上に固定する工程と、前記半導体チップの第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを導電性のワイヤで接続する工程と、前記半導体チップ、前記接続手段、第2電極リードおよび制御電極リードの一部を絶縁性樹脂でモールドして封止体で被う工程と、前記リードフレームの不要部分を切断除去するとともにリードを挿入実装構造または面実装構造に形成する工程とを有する半導体装置の製造方法であって、前記第2電極リードを制御電極リードの幅よりも広い幅広構造または前記第2電極リードのワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広いリードもしくは前記ワイヤ接続部から延在する複数本のリードで構成しておき、その後前記半導体チップを前記支持基板上に固定し、その後前記半導体チップの第2電極と前記幅広構造の第2電極リードの先端または前記第2電極と前記連結部を複数本のワイヤで接続することを特徴とする半導体装置の製造方法。

【請求項26】 前記ワイヤ接続部をそれぞれ電気的に分断した複数の導体部で形成しておくとともに、前記各導体部をいずれかのリードに繋がるように形成することを特徴とする請求項23乃至請求項25のいずれか1項

に記載の半導体装置の製造方法。

【請求項27】 前記第2電極リードおよび前記制御電極リードの連結部またはワイヤ接続部の端を前記封止体の側面に露出または突出するように形成することを特徴とする請求項23乃至請求項26のいずれか1項に記載の半導体装置の製造方法。

【請求項28】 前記リードフレームは前記第2電極リードを相互に平行に延在する複数本のリードで形成しておくとともに、前記封止体から外れた部分でリード相互が連結片で連結されるように形成しておくことを特徴とする請求項23乃至請求項27のいずれか1項に記載の半導体装置の製造方法。

【請求項29】 前記リードフレームは前記第2電極リードを前記制御電極リードの幅よりも広く形成しておくとともに、リード屈曲部分には1乃至複数の折曲均等用孔を設けておくことを特徴とする請求項23乃至請求項28のいずれか1項に記載の半導体装置の製造方法。

【請求項30】 前記吊りリードは前記封止体の近傍で切断、または第1電極用のリードとして使用できる面実装構造または挿入実装構造に形成することを特徴とする請求項23乃至請求項29のいずれか1項に記載の半導体装置の製造方法。

【請求項31】 前記第1電極、第2電極、制御電極をそれぞれ電極とするパワーMOSFET、パワーバイポーラトランジスタ、IGBTのうちのいずれかを有する半導体チップを前記支持基板上に固定するとともに、前記第2電極リードと第2電極との接続は3本以上の導電性のワイヤで接続することを特徴とする請求項23乃至請求項30のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造技術に係わり、たとえばパワーMOSFET、IGBT (Insulated Gate Bipolar Transistor)、バイポーラパワーMOSFET等電源用トランジスタを組み込んだ半導体装置、すなわち携帯機器等の電源等に使用する低電気抵抗化による低電圧駆動用パワーMOSFET、レーザービームプリンタ等の高出力機器の電源等に使用する低熱抵抗のパワーMOSFET、自動車電装機器等に使用する大電流用パワーMOSFET等の製造に適用して有効な技術に関する。

【0002】

【従来の技術】携帯電話、ビデオカメラなどの充電器、オフィスオートメーション(OA)機器等の電源回路に組み込まれる電源用トランジスタとして、低オン抵抗による低電圧駆動用パワーMOSFETが知られている。たとえば、低電圧駆動用パワーMOSFETについては、株式会社日立製作所半導体事業部発行、「日立データブック：日立半導体パッケージ」1997年9月発行、

P329に記載されている。

【0003】この低電圧駆動用パワーMOSFETはパワーMOSFETで構成されている。この文献によるパワーMOSFETは、ヘッダと称される金属製の支持基板に、パワーMOSFETを組み込んだ半導体チップ(チップ)を固定し、一端を前記ヘッダの斜め上方に臨ませるゲートリードやソースリードの前記一端と、前記チップの上面の電極(ゲート電極、ソース電極)を導電性のワイヤで接続し、さらにヘッダの上面側を絶縁性の樹脂(レジン)からなる封止体で被って前記チップ、ワイヤ、リード一端部分を被った構造になっている。

【0004】このようなパワーMOSFETでは、前記ヘッダの下面は露出して放熱面を形成するとともに、前記封止体の一側面からは3本のリードが露出することになる。2本のリードは前記ゲートリード及びソースリードであり、他の1本のリードは前記ヘッダに連なるドレインリードである。また、ソース電極に接続されるワイヤもコストの面でA1が使用され、電流量の増大から2本のワイヤによる接続構造になっている。

【0005】また、株式会社日立製作所半導体事業部発行、「Gain」1996年9月2日発行、P19及びP20には、「パワーマネジメント用パワーMOSFET」について記載されている。このパワーMOSFETは、携帯電話、ビデオカメラなどの充電器、OA機器、ノートパソコン電源などLiイオン2次電池充放電パワーマネジメントを主な用途としている旨記載されている。

【0006】さらに、特開平9-307103号(特願平8-120211号)公報には、ドレインに印加された負電圧に起因する素子の破壊を防止するために負電圧保護回路を内蔵した複合型パワーMOSFETの技術が開示されている。

【0007】一方、パワーMOSFETは、たとえば、工業調査会発行「ハイブリッド実装技術」、昭和63年5月15日発行、P25にも記載されているように、自動車各部の機器を動作させるモータの駆動電源用に多用されている。また、理工学社発行「自動車の電子システム」1992年8月5日発行、P110～P112には、電気モータで駆動する油圧ポンプ式や電気モータそのもので駆動するパワーステアリングについて記載されている。

【0008】

【発明が解決しようとする課題】パワーMOSFETは、例えば、OA機器の電源の整流回路に組み込まれて使用される。従来、整流回路にはダイオードが使用されてきたが、オン抵抗が低いことから近年パワーMOSFETが使用されている。

【0009】オン抵抗の低減からパワーMOSFETの出力は暫時増大の傾向にある。一方、半導体装置製造における微細加工技術の進展により、パワーMOSFETの特性も向上し、例えば、オン抵抗が0.34mΩ(半導体チップの状態)前後のものも開発されている。

【0010】今回、本出願人においては、出力が500

W (5V, 100A) にもなるパワー-MOSFET構成の半導体装置 (樹脂封止型半導体装置) を開発することになり、封止体 (パッケージ) 構成をも含み従来の構造を検討した結果、以下のような問題が派生するおそれがあることを見いだした。

【0011】従来の樹脂封止型の半導体装置では、大出力化を図るため、直径が大きいワイヤが使用され、またその使用本数も2本になっている。金線は抵抗が低く望ましいが、価格が高いことからAlが使用されている。Alは超音波振動によるワイヤボンディング (USW 10 B) で電極やリードとの接続がなされるが、その太さも500 $\mu$ m直径が最大となる。この寸法は市場に出回っているAlワイヤの最大のものであり、特注品になると価格が高くなることからこれが使用される。

【0012】また、500 $\mu$ m直径程度以上の太さのAlワイヤを使用した場合には、超音波振動によるワイヤボンディング装置では、脆弱なシリコン等の半導体で形成される半導体チップを破損させることになり、500 $\mu$ m直径程度のAlワイヤの使用が限界である。また、Alワイヤは500 $\mu$ mを越えてさらに太くしていくと、スプールに巻き付ける際、クラックが入ったり切れたりすることから使用には適さなくなる。この弊害はAlの純度が高い程顕著であり、純度の高いAlがワイヤボンディングに使用されている。

【0013】また、従来のパワー-MOSFET構成の半導体装置の出力は、最大でも200~300W程度であり、今回の500Wに比較して充分小さい。

【0014】500 $\mu$ m直径のAlワイヤの2本の使用では、ワイヤ部分での発熱量が大きく、ガラス転移温度 (Tg) が155~170℃程度の樹脂 (エポキシ樹脂) では、樹脂が劣化してしまうおそれがある。そこで、本発明者はワイヤの使用本数の増大を検討した。他方、本発明者の検討によれば、従来のパワー-MOSFETの封止構造では、ソースリードからの放熱については何ら配慮されていない。

【0015】一方、自動車分野では、従来パワーステアリング用コンプレッサをファンベルトで駆動していたが、車体の軽量化、低燃費化のためにモータで駆動する方式 (油圧ポンプ式電動パワーステアリング) に変わりつつある。また、さらに軽量化するためポンプを使わず直接ステアリングを駆動する方式 (直接駆動式電動パワーステアリング) が小型車に使われ始めている。

【0016】前記両方式とも大電流のトランジスタ (半導体装置) が使用されている。たとえば、油圧ポンプ式電動パワーステアリングでは120A、直接駆動式電動パワーステアリングでは70Aが必要となる。

【0017】特に欧州では、電波妨害を防ぐための規制があることから、モータはブラシレスである必要があり、直接駆動式電動パワーステアリングの駆動系に組み込むトランジスタ、たとえばMOSFETがどれだけ電

流を流せるかでパワーステアリングの最大トルクが決まり、ひいてはどれだけの排気量の車まで使えるかが決まる。現在のTO220系パッケージのトランジスタでは75A程度しか扱えないので排気量1500cc程度の車に適用するのが限度と思われる。

【0018】また、トランジスタは高温度となる自動車のエンジンルーム内に組み込まれ、過酷な温度環境で使用される。これは本発明者等による実験で得た数値であるが、パッケージ外形がTO220ABで500 $\mu$ m直径のワイヤを2本使用してソース電極とソースリードを接続し、110Aの電流を印加した場合、ワイヤ周辺温度は151.5℃になる (周囲温度80℃)。

【0019】このようなことから、トランジスタの放熱性を高めるために、半導体チップが搭載されるヘッダを直接ヒートシンク等に固定する半導体装置の実装も必要になる。この場合、ヘッダを電極引出し端子として使用できない場合もある。このような場合には、パッケージから電極端子としてドレイン、ソース、ゲートとなるリードが必要になる。

【0020】本発明の目的は、発熱による封止体の劣化を起こすことのない高出力の半導体装置 (低電圧駆動用パワートランジスタ、大電流用パワートランジスタ等) を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

- 30 (1) 絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記支持基板に連なり前記封止体の一側面から突出する吊りリードと、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電気的に接続するワイヤとを有する半導体装置であって、前記第2電極リードは並んだ複数本のリードで構成され、かつこれらのリードの先端は前記封止体の内部において1本の連結部に連結され、前記連結部と前記半導体チップの第2電極は並んだ複数のワイヤで接続されている。前記封止体の一側面から突出する制御電極リードおよび第2電極リードは途中で屈曲して面実装構造になっている。前記ワイヤはAlワイヤからなり、前記第2電極リードと第2電極とを接続するワイヤの本数は3本以上 (4本) になっている。前記半導体チップには第1電

極（ドレイン電極）、第2電極（ソース電極）、制御電極（ゲート電極）をそれぞれ電極とするパワーMOSFET、パワーバイポーラトランジスタ、IGBTのうちのいずれかのトランジスタを有する。たとえば、パワーMOSFETを有する。なお、前記封止体の一側面から突出する制御電極リードおよび第2電極リードを真っ直ぐ延在させて挿入実装構造にしてもよい。また、前記吊りリードは前記封止体の近傍で切断されて使用されないリードになっているが、面実装構造または挿入実装構造として第1電極用のリードとして使用するようにしてもよい。

【0022】このような半導体装置は以下の方法で製造される。パターニングされかつ一部で1段屈曲させた一枚の金属板からなり、第1電極を構成するとともに半導体チップが固定される支持基板と、前記支持基板を先端に支持する吊りリードと、前記吊りリードと並んで延在する第2電極リードおよび制御電極リードを有するリードフレームを用意する工程と、下面に第1電極を有し上面に第2電極と制御電極を有する半導体チップを用意する工程と、前記半導体チップをその第1電極部分で導電性の接合材を介して前記支持基板上に固定する工程と、前記半導体チップの第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを導電性のワイヤで接続する工程と、前記半導体チップ、前記接続手段、第2電極リードおよび制御電極リードの一部を絶縁性樹脂でモールドして封止体で被う工程と、前記リードフレームの不要部分を切断除去するとともにリードを挿入実装構造または面実装構造に形成する工程とを有する半導体装置の製造方法であって、前記第2電極リードを制御電極リードの幅よりも広い幅広構造または前記封止体内において連結部で連なる複数本のリードで構成しておき、その後前記半導体チップを前記支持基板上に固定し、その後前記半導体チップの第2電極と前記幅広構造の第2電極リードの先端または前記第2電極と前記連結部を複数本のワイヤで接続する。前記吊りリードは前記封止体の近傍で切断、または第1電極用のリードとして使用できる面実装構造または挿入実装構造に形成する。前記第1電極、第2電極、制御電極をそれぞれ電極とするパワーMOSFETを有する半導体チップを前記支持基板上に固定するとともに、前記第2電極リードと第2電極との接続は3本以上（たとえば4本）の導電性のワイヤで接続する。

【0023】（2）前記手段（1）の構成において、前記複数本のリードで構成される第2電極リードは前記封止体から外れた部分で前記各リードは相互に連結片で連結されて幅広構造になっている。また、連結片から外れるリード先端には突出する挿入実装用の挿入部が形成されている。このような半導体装置は前記手段（1）の製造方法において、前記第2電極リードを相互に平行に延在する複数本のリードで形成するとともに、前記封止体

が設けられる領域から外れた部分でリード相互を連結片で連結しておく。

【0024】（3）絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記支持基板に連なり前記封止体の一側面から突出する吊りリードと、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電気的に接続するワイヤとを有し、少なくとも前記第2電極リードのワイヤが接続されるワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広くなっている。また、第2電極リードはワイヤ接続部を除くリード部分の幅が制御電極リードと同じ幅または広くなっている。第2電極リードが幅広構造のものでリードが屈曲される構造では前記リードの屈曲成形の均等化を図るように前記第2電極リードの屈曲部分には1乃至複数の折曲均等用孔が設けられている。前記第2電極リードの実装部分にはビス取り付け穴が設けられている。リード先端には挿入実装用の突出する挿入部が形成され挿入実装も可能な構造になっている。

【0025】このような半導体装置は前記手段（1）の製造方法において、リードフレームは少なくとも前記第2電極リードのワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広いリードとなるように前記第2電極リードを形成しておく。また、前記第2電極リードを前記制御電極リードの幅よりも広く形成しておくとともに、リード屈曲部分には1乃至複数の折曲均等用孔を設けたものを使用する。

【0026】（4）絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電気的に接続するワイヤとを有する半導体装置であって、前記第2電極リードはワイヤが接続されるワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広くなるとともにワイヤ接続部から複数のリードを平行に延在させた構造になっている。他の部分は前記手段（1）と同様な構成になっている。

【0027】このような半導体装置は以下の方法で製造



される。パターンニングされかつ一部で1段屈曲させた一枚の金属板からなり、第1電極を構成するとともに半導体チップが固定される支持基板と、前記支持基板の一端面側に向かって並んで延在する第2電極リードおよび制御電極リードと、前記支持基板の一端面と交差する両側面部分で前記支持基板を先端に支持する吊りリードを有するリードフレームを用意する工程と、下面に第1電極を有し上面に第2電極と制御電極を有する半導体チップを用意する工程と、前記半導体チップをその第1電極部分で導電性の接合材を介して前記支持基板上に固定する工程と、前記半導体チップの第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを導電性のワイヤで接続する工程と、前記半導体チップ、前記接続手段、第2電極リードおよび制御電極リードの一部を絶縁性樹脂でモールドして封止体で被う工程と、前記リードフレームの不要部分を切断除去するとともにリードを挿入実装構造または面実装構造に形成する工程とを有する半導体装置の製造方法であって、前記第2電極リードを制御電極リードの幅よりも広い幅広構造または前記第2電極リードのワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広いリードもしくは前記ワイヤ接続部から延在する複数本のリードで構成しておき、その後前記半導体チップを前記支持基板上に固定し、その後前記半導体チップの第2電極と前記幅広構造の第2電極リードの先端または前記第2電極と前記接続部を複数本のワイヤで接続する。

【0028】(5) 前記手段(1)または前記手段(4)の構成において、前記接続部または前記ワイヤ接続部はそれぞれ分断されて電氣的に独立した複数の導体部で構成されているとともに、各導体部からは少なくとも1本の前記リードが延在している。他の部分は前記手段(1)と同様な構成になっている。このような半導体装置は以下のリードフレームを使用する。前記ワイヤ接続部をそれぞれ電氣的に分断した複数の導体部で形成しておくとともに、前記各導体部をいずれかのリードに繋がるように形成したものを使用する。

【0029】(6) 絶縁性樹脂からなる封止体と、前記封止体によって少なくとも一部が被われ下面が前記封止体から露出しかつ第1電極になる金属製の支持基板と、前記封止体の前記一側面から並んで突出する第2電極になる第2電極リードおよび制御電極になる制御電極リードと、前記封止体に被われるとともに下面に第1電極を有し上面に第2電極と制御電極を有し下面が導電性の接合材を介して前記支持基板上に固定される半導体チップと、前記封止体内に位置し前記第2電極と前記第2電極リードおよび前記制御電極と前記制御電極リードを電氣的に接続するワイヤとを有し、前記第2電極リードのワイヤが接続されるワイヤ接続部の幅が前記制御電極リードのワイヤ接続部の幅よりも広くなっている。前記第2電極リードの幅は前記制御電極リードの幅と同一かある

いは幅広になっている。他の部分は前記手段(1)と同様な構成になっている。

【0030】(7) 前記手段(1)乃至(6)の構成において、前記第2電極リードおよび前記制御電極リードの連結部またはワイヤ接続部の端が前記封止体の側面に露出または突出している。この例では半導体装置の製造時、前記第2電極リードおよび前記制御電極リードの連結部またはワイヤ接続部の端を前記封止体の側面に露出または突出するように形成する。

【0031】(8) 前記手段(1)乃至(7)の構成において、第2電極リード、制御電極リード等を含む前記各リードの間隔が一定である。

(9) 前記手段(1)乃至(7)の構成において、第2電極リード、制御電極リード等を含む前記各リードの間隔は少なくとも一部で異なっている。

(10) 前記手段(1)乃至(9)の構成において、前記第2電極リードは中央または中央寄りに位置している。

【0032】(11) 前記手段(1)乃至(10)の構成において、前記リード全体は前記封止体の一側寄りに偏って配置されている。

(12) 前記手段(1)乃至(11)の構成において、前記支持基板の前記封止体から突出した部分には取付用孔が設けられている。

【0033】(13) 前記手段(1)乃至(11)の構成において、前記支持基板の前記封止体から突出する部分は数mm程度である。前記(1)の手段によれば、

(a) 第2電極リードは並んだ2本のリードで構成されていることから、伝熱効果が高くなる。

【0034】(b) 相互に離れたリードは内部で1本の連結部に繋がっていることから、前記連結部の長さは長く、3本以上のワイヤ、すなわち4本の接続も可能になる。この結果、1本当たりの電流量も従来の2本に比較して小さくなり、ソース・ドレイン電流を大きくしても発熱量を抑えることができ、封止体を構成する樹脂のガラス転移温度よりも充分低くでき、樹脂の劣化を防止できる。4本のA1ワイヤ(直径500μm、長さ6.0mm)でソース電極とソースリードを接続した場合、出力500W(5V、100A)の場合、損失電力は2.3W程度となり、樹脂の劣化は起きなくなる。

【0035】(c) 半導体チップの表面側の熱は前記4本のワイヤを介して伝熱効果の高いソースリードから実装基板に伝達されることになり、半導体装置の安定動作が達成できる。

【0036】(d) 制御電極リードおよび第2電極リードは真っ直ぐ延在させて挿入実装構造にすることができる。また、前記吊りリードは前記封止体の近傍で切断されて使用されないリードになっているが、面実装構造または挿入実装構造として第1電極用のリードとして使用することもできる。

【0037】前記(2)の手段によれば、前記手段(1)による効果に加えて、(a)2本リードでも、封止体から外れた部分は連結片によって連結された構造となり、リードは幅広構造となるため、伝熱効果が高くなり、ソース電極側の放熱効果が高くなる。

(b)連結片部分から外れるリード先端には挿入実装用の挿入部が設けられていることから、この挿入部を用いることによって挿入実装が可能になり、面実装・挿入実装兼用型になる。

【0038】前記(3)の手段によれば、前記手段(1)による効果に加えて、(a)前記第2電極リードは一本でも幅広となることから、一層伝熱効果が高くなり、パワーMOSFETの安定動作に寄与することになる。

【0039】(b)半導体装置の製造において、リードフレームの状態にあって、幅広構造の第2電極リードには屈曲成形の均等化を図るように折曲均等用孔が設けられ、各屈曲部分の幅が前記制御電極リードの幅以下となっていることからリード成形性が良好になり、歩留りが向上する。

【0040】(c)第2電極リードの実装部分はビス取り付け穴を利用してビスでリードを実装基板に固定できることから、リード固定強度の向上が図れるとともに、直接実装基板へ固定できることから伝熱効果も高くなり、パワーMOSFETの安定動作に寄与することになる。

【0041】(d)リード先端には挿入実装用の突出する挿入部が形成され挿入実装も可能になり、面実装・挿入実装兼用型になる。

【0042】前記(4)の手段によれば、支持基板を吊りリードで支持しない構造でも前記手段(1)の構成と同様に第2電極リードのワイヤ接続部には4本の太いワイヤ(直径500 $\mu$ m)を接続できるためワイヤでの発熱量を小さくでき封止体の熱に起因する損傷を抑止できる。また、第2電極リードは複数本のリードで構成されていることから封止体外へのリードを経由する放熱効果を高めることができ、半導体装置の安定動作を確保できる。

【0043】前記(5)の手段によれば、連結部またはワイヤ接続部が分断された構造でも前記手段(1)と同様に直径500 $\mu$ mワイヤ4本による封止体の熱損傷抑止と、複数リードによる熱放散による半導体装置の安定動作が達成できる。

【0044】前記(6)の手段によれば、第2電極リードのワイヤ接続部には直径500 $\mu$ mワイヤ4本を接続できることから発熱が抑えられ封止体の熱損傷抑止が達成できる。また、リードが幅広の場合にはリードを経由する熱伝導が効果的に行われるため放熱特性が向上し半導体装置の安定動作が達成できる。

【0045】前記(7)の手段によれば、前記手段

(1)乃至(6)の構成による効果に加えて、第2電極リードおよび前記制御電極リードの連結部またはワイヤ接続部の端が前記封止体の側面に露出または突出する構造となることから、第2電極リードの連結部またはワイヤ接続部の幅を長くすることができ、ワイヤボンディングの余裕度が高くなり、または接続するワイヤの本数の増大が図れる効果がある。

【0046】前記(8)の手段によれば、前記手段(1)乃至(7)の構成による効果に加えて、各リードの間隔が一定であることから、規格対応の製品の提供も可能になる。

【0047】前記(9)の手段によれば、前記手段(1)乃至(7)の構成による効果に加えて、各リードの間隔は少なくとも一部で異なっている構成になっていることから、規格対応の製品の提供も可能になる。

【0048】前記(10)の手段によれば、前記手段(1)乃至(9)の構成による効果に加えて、前記第2電極リードは中央または中央寄りに位置していることから、第2電極リードのワイヤ接続部に接続するワイヤの長さを短くできるため抵抗低減から発熱をさらに抑えることができる効果がある。

【0049】前記(11)の手段によれば、前記手段(1)乃至(10)の構成による効果に加えて、前記リード全体は前記封止体の一側寄りに偏って配置されていることから、半導体装置を実装する際、封止体位置を偏らせて実装できる。

【0050】前記(12)の手段によれば、前記手段(1)乃至(11)の構成による効果に加えて、前記支持基板に設けた取付用孔を利用し、ビス等によって支持基板を所定箇所に密着させた状態で固定できる。この結果、支持基板を介しての放熱も可能になる。支持基板に放熱フィンを固定する構造では前記放熱フィンからの放熱が効果的に行えることになる。

【0051】前記(13)の手段によれば、前記手段(1)乃至(11)の構成による効果に加えて、封止体から支持基板が長く突出しないTO-263AA、TO-263AB等の規格製品の提供も可能になる。

【0052】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0053】(実施形態1)図1乃至図14は本発明の一実施形態(実施形態1)である半導体装置(低電圧駆動用パワートランジスタ)に係わる図である。図1乃至図4は本実施形態1の半導体装置の構造に係わる図であり、図5および図6は電気特性を示すグラフ、図7乃至図14は半導体装置の製造方法に係わる図、図15は本実施形態1の半導体装置が組み込まれる整流回路図である。

【0054】本実施形態1の半導体装置1は、図1および図2に示すように、絶縁性樹脂からなる封止体2と、前記封止体2によって少なくとも一部が被われ下面が前記封止体2から露出しかつ第1電極になる金属製の支持基板3と、前記支持基板3に連なり前記封止体2の側面から突出しかつ途中で一段階段状に屈曲する吊りリード4と、前記封止体2の前記側面から並んで突出する第2電極リード5および制御電極リード6を有している。

【0055】また、前記封止体（パッケージ）2内には半導体チップ7が配置されている。この半導体チップ7にはパワーMOSFETが形成され、図3および図4に示すように下面に第1電極（ドレイン電極）10を有し、上面に第2電極（ソース電極）11と制御電極（ゲート電極）12を有した構造になっている。

【0056】半導体チップ7は、下面のドレイン電極10が導電性の接合材13を介して前記支持基板（ヘッダ）3に固定されている。また、前記封止体2内に延在する第2電極リード（ソースリード）5および制御電極リード（ゲートリード）6の先端は、ワイヤ14を介して半導体チップ7のソース電極11およびゲート電極12にそれぞれ接続されている。

【0057】前記吊りリード4は封止体2の近傍で切断され、実装には使用しない形態となっている。また、ソースリード5およびゲートリード6はガルウィング型に成形され、面実装構造になっている。すなわち、ガルウィング型のリードの先端実装部分の下面と、前記ヘッダ3の下面は同一面上に位置している。

【0058】前記吊りリード4およびゲートリード6はそれぞれ1本であるが、ソースリード（第2電極リード）5は2本となっている。この2本のソースリード5は並んで延在し、封止体2の内部において一本の連結部20の同一側の側面に連なるようになっている。そして、この連結部20と、前記半導体チップ7の第2電極（ソース電極）11とは4本のワイヤ14で接続されている。前記連結部20は、従来の2本のワイヤを並んで接続するものよりも長くなり、4本のワイヤ14を並んで接続できるようになっている。

【0059】換言するならば、前記連結部20は前述のようにワイヤ接続部を構成し、このワイヤ接続部から複数のリード、たとえば2本のリードを延在させる構成になっている。そして、前記ワイヤ接続部から延在するリードはソースリード（第2電極リード）5となっている。

【0060】4本のワイヤ14は直径が500 $\mu$ mのA1ワイヤであり、接続長さ（ワイヤ長さ）は6.0mm以内となっている。また、ゲートリード6に接続されるワイヤ14は、直径100 $\mu$ m程度のA1ワイヤである。

【0061】封止体2から外れるヘッダ3の中央部分に

は、実装基板に取り付ける際利用される取付用孔21が設けられている。ここで、各部の寸法の一実施例について記載する。ヘッダ3は、その最大部分の幅が10.4mm、長さが12.66mm、厚さが1.26mmである。ソースリード5とゲートリード6の3本のリードは3.4mmピッチであり、ゲートリード6と隣のソースリード5との間に吊りリード4が位置している。各リードの幅は0.9mm、厚さは0.6mmで、相互に異なる電極を形成するリード等の間隔は、ショートを防止するために0.45mm以上になっている。

【0062】連結部20の長さは5.4mmで幅は1.35mmである。また、ヘッダ3の下面から各リードの下面との距離は2.59mmとなっている。封止体2はその幅がヘッダ3の最大幅と一致する寸法で、厚さは5.5mm程度である。

【0063】半導体チップ7は、図3および図4に示すように、薄い長方形板構造からなり、たとえば長さ5.0mm、幅4.3mm、厚さ270 $\mu$ m程度となり、ゲート電極12の大きさは矩形の一边が0.3mmで他辺が0.6mm、ソース電極11の大きさは矩形の一边が1.4mmで他辺が4.2mmである。

【0064】半導体チップ7に形成されたパワーMOSFETは、図4に示すように、縦型MOSFETであって、第1導電型のシリコンからなる半導体基板25の表面の第1導電型のエピタキシャル層26にMOSFETのセルが多数形成された構造になり、半導体基板25の下面に第1電極（ドレイン電極）10が設けられている。このドレイン電極10は、たとえば、チタン、ニッケル、金によって形成され、その厚さは、たとえば5.0 $\mu$ mである。

【0065】パワーMOSFETは、前記エピタキシャル層26の表層に整列形成された複数の第2導電型のウェル27と、このウェル27の表層部分に形成される第1導電型からなるソース領域28と、隣接するウェル27間に亘って設けられたゲート絶縁膜29と、このゲート絶縁膜29上に形成されたゲート電極30と、前記ゲート電極30を被う層間絶縁膜31と、前記エピタキシャル層26および前記層間絶縁膜31上に位置し前記ソース領域28に電気的に接続される選択的に設けられたソース電極11と、前記ソース電極11や前記層間絶縁膜31等を選択的に被いワイヤボンディング領域としてのソース電極11やゲート電極12を部分的に露出させる保護膜32等で構成されている。このパワーMOSFETは、図5および図6の「D6（デバイス6シリーズ）」として示す特性を有するものである。

【0066】図5はドレイン-ソース間オン抵抗とドレイン電流特性を示すグラフ、図6はオン抵抗によるドレイン電流とドレイン-ソース間電圧の飽和関係を示すグラフである。図5のグラフから分かるように、デバイス4シリーズ（D4）では、 $V_{GS}$ が10Vで $I_D$ が100

Aのときの印加時のオン抵抗 $R_{on}$ は20m $\Omega$ となり、デバイス5シリーズ(D5)では、 $V_{GS}$ が10Vで $I_D$ が100Aのときの印加時のオン抵抗 $R_{on}$ は7.0m $\Omega$ となり、デバイス6シリーズ(D6)では、 $V_{GS}$ が10Vで $I_D$ が100Aのときの印加時のオン抵抗 $R_{on}$ は4.0m $\Omega$ となる。

【0067】したがって、 $I_D$ が100Aのときの $V_{DS}$ の飽和電圧は、D4ではオン抵抗が20m $\Omega$ であることから、 $V_{DS}=2000$ mVとなり、D5ではオン抵抗が7.0m $\Omega$ であることから、 $V_{DS}=700$ mVとなり、D6ではオン抵抗が4.0m $\Omega$ であることから、 $V_{DS}=400$ mVとなる。

【0068】電気特性向上に伴い、世代毎に低電圧によるデバイス駆動を可能とし、伝達速度(スイッチング速度)が早く、電流( $I_D$ )損失の低減によりケース温度(パッケージの発熱)が抑えられる。

【0069】しかしながら、最も特性の良好なD6シリーズのものを使用しても、 $I_D$ が100Aの場合では、パッケージの発熱は大きい。そこで、本実施形態1では、第2電極リード(ソースリード)5を2本とし、ソースリード5を介しての伝熱効果を高めるとともに、ソース電極とソースリード5を接続するワイヤも従来の2本に比較して4本と多数な構造とし、ワイヤ部分での発熱も抑える構造になっている。

【0070】ここで、ドレイン電流( $I_D$ )印加時のワイヤ部分での損失電力について説明する。損失電力Pは以下の式で与えられる。

【0071】

$$【数1】 P = I^2 \cdot R_{wire}$$

ここで、Iは電流、 $R_{wire}$ はワイヤの抵抗。また、 $R_{wire}$ は以下の式で与えられる。

【0072】

$$【数2】 R_{wire} = \rho \cdot l / A$$

ここで、lはワイヤの長さ、Aはワイヤの直径、 $\rho$ はワイヤの非抵抗である。ワイヤの抵抗 $R_{wire}$ は、数2より、従来のワイヤ2本の場合は、

【0073】

$$【数3】 R_{wire} = 3.1 \times 10^{-8} \cdot 6.0 \times 10^{-3} / (250 \times 10^{-6} \times 250 \times 10^{-6} \times 3.14) \times 2 = 0.47 \times 10^{-3}$$

本実施形態1のワイヤ4本の場合は、

【0074】

$$【数4】 R_{wire} = 3.1 \times 10^{-8} \cdot 6.0 \times 10^{-3} / (250 \times 10^{-6} \times 250 \times 10^{-6} \times 3.14) \times 4 = 0.24 \times 10^{-3}$$

したがって、前記数1、数3、数3の式を用いて、従来の500 $\mu$ m直径のワイヤを2本使用した従来のパワーMOSFETと4本のワイヤを使用した本実施形態1によるパワーMOSFETの場合の印加時の損失電力を計算すると下記ようになる。従来のワイヤ2本の場合、

【0075】

【数5】

$$P = (100)^2 \cdot 0.47 \times 10^{-3} = 4.7 \text{ [W]}$$

本発明のワイヤ4本の場合、

【0076】

【数6】

$$P = (100)^2 \cdot 0.24 \times 10^{-3} = 2.3 \text{ [W]}$$

このように電圧印加時の損失電力の低減から、ワイヤ部分の発熱に起因する封止体を構成する樹脂の劣化は抑止でき、パワーMOSFETの安定動作が達成できることになる。

【0077】つぎに、本実施形態1の半導体装置の製造方法について、図7乃至図14を参照しながら説明する。ただし、図9乃至図14は模式的な図である。

【0078】半導体装置1は、図7のフローチャートで示すように、リードフレーム用意(ステップ101)、チップボンディング(ステップ102)、ワイヤボンディング(ステップ103)、モールド(ステップ104)、リード切断(ステップ105)、リード成形(ステップ106)、半田メッキ(ステップ107)の各工程を経て製造される。

【0079】すなわち、半導体装置1の製造においては、図9および図8に示すようにリードフレーム40が用意される(ステップ101)。このリードフレーム40は、図8に示すように、一側が所定の幅で厚くなる帯状の銅合金等からなる金属板(異形材)を精密プレスで打ち抜いてバナーニングするとともに、薄い一部で屈曲させて薄い部分を厚い部分よりも一段高くした構造(段差は1.26mm)になっている。厚い部分が前記ヘッダ3であり1.26mmの厚さになり、薄い部分が吊りリード4、ソースリード5、ゲートリード6の部分であり0.6mmの厚さになっている。

【0080】リードフレーム40は短冊体となり、1枚のリードフレーム40で所定数(たとえば10個)の半導体装置1を製造することができるようになっている。図8では3個分を示す。

【0081】リードフレーム40は、図8に示すように、細い外枠41と、この外枠41の一側面から一定間隔で平行に突出する複数の片持梁構造のリード42を有している。このリード42は前記外枠41に対して直交している。このリード42のピッチは3.4mmになっている。

【0082】前記リード42は3本で1組になり、左の1本はゲートリード6を構成し、先端には幅広のワイヤパッド43が設けられている。各リード42の幅は0.9mmになり、前記ワイヤパッド43の幅は2.0mm、長さは1.36mmになっている。

【0083】右側2本のリード42はソースリード5を構成している。この2本のソースリード5は前述のように1本の連結部20の一側面に連なっている。連結部2

0は前記外枠41に平行に延在し、その延在方向の長さは5.4mmになり、その直交方向の長さ、すなわち幅は1.36mmになっている。また、前記リード42は前記外枠41に平行に延在するタイバー44によって連結されている。

【0084】一方、前記ゲートリード6と、隣接するソースリード5との間のタイバー44からは吊りリード4が突出している。この吊りリード4は途中で下方に一段階段状に屈曲し、その先端には前述の形状のヘッダ3が連結されている。屈曲による段差は2.59mmになっている。また、隣接するヘッダ3同士は細い連係部45で接続されている。また、ヘッダ3には前述のように取付用孔21が設けられている。

【0085】前記連係部45、外枠41およびタイバー44によって単位リードフレームを多連のリードフレーム構成にすることができる。製造におけるモールド後は、これら連係部45、外枠41およびタイバー44は切断除去される。

【0086】つぎに、前記リードフレーム40のヘッダ3上には、図9および図8の二点鎖線で示すように図3および図4に示される半導体チップ7が固定される（ステップ102）。半導体チップ7は、下面のドレイン電極10部分が半田等からなる接合材13によってヘッダ3に固定される（図1・図4参照）。

【0087】つぎに、図10に示すように、半導体チップ7の上面の電極と、これに対応するリードをワイヤ14で接続する（ステップ103）。すなわち、ゲート電極12とゲートリード6のワイヤパッド43がワイヤ14によって接続（超音波ワイヤボンディング）される。このワイヤ14は印加時の電流量が小さいので細くてもよく、たとえば、直径100 $\mu$ m程度のA1ワイヤである。また、半導体チップ7のソース電極11と前記連結部20は超音波ワイヤボンディングによるワイヤ14で接続される。このワイヤボンディングにおいては、直径500 $\mu$ mのA1ワイヤがバラレルボンディングまたはステッチボンディングによって並列に4本ボンディングされる。ボンディングによるワイヤの長さは5.23乃至5.62mmとなり、前述のワイヤ長さ6.0mm以下を満足する。

【0088】半導体チップ7のソース電極11のワイヤボンディング領域は、前述のように1.4mm $\times$ 4.2mmの矩形領域になることから、領域の大きさを変えなくてもそのまま4本のワイヤ14を接続することができる。

【0089】つぎに、図11に示すように、トランスファモールド等によってモールドを行い（ステップ104）、片持梁構造のリード42の先端側からヘッダ3の途中部分を絶縁性樹脂からなる封止体2で被う。封止体2は、ヘッダ3の上面側のみを被うことから、ヘッダ3の下面は封止体2から露出し、放熱のための伝熱面にな

る。

【0090】つぎに、図12に示すように、常用のリード切断・成形装置により、リード切断と成形を行う（ステップ105・106）。リード切断時には、リード42を外枠41から切り放すとともに、吊りリード4を封止体2の近傍で切断し、タイバー44を一定幅切断除去し、さらにヘッダ3間の連係部45をスリット状に打ち抜いて隣接するヘッダ3を分離させる。また、リード成形時には、ゲートリード6およびソースリード5の寸法を決める切断を行うとともに、リードをガルウィング型に成形する。

【0091】つぎに、図13に示すように、封止体2から突出するリード表面に半田メッキ処理によって半田をメッキする（ステップ107）。図13においては、薄く黒く示した部分がリードのメッキ部分である。これにより、面実装構造の半導体装置1を製造することができる。

【0092】本実施形態1では、リードは面実装構造であるが、前記リード成形を行わず、かつリード切断工程でリード寸法を規定すれば、その後の半田メッキ処理によって、図14に示す挿入実装構造の半導体装置1を製造することができる。

【0093】図15は本実施形態1の半導体装置1が組み込まれる整流回路である。この整流回路は、メイン回路と位相補正（SR）回路からなり、メイン回路から接続回路（R）へ出力（Vout）する場合と、AC-DC変換時の位相補正回路から接続回路（R）へ出力（Vout）する場合がある。

【0094】電源（DC）からの信号（+、-）を入力とする二つのパワーMOSFET Q1、Q2はコントロールIC（CONTROL IC）によって制御される。コントロールICは、たとえばスイッチドレギュレータ等からなる。

【0095】また、パワーMOSFET Q1、Q2は、PチャンネルMOSFETを組み込んだメインスイッチトランジスタQ2と、NチャンネルMOSFETを組み込んだ位相補正（SR）トランジスタQ1からなる。両トランジスタの出力はツェナーダイオードD1で平滑化される。また、コイルLとコンデンサCによってローパスフィルタが構成されている。

【0096】プラス入力によりメインスイッチトランジスタQ2が動作（位相補正トランジスタQ1はオフ）してメイン回路が構成されて接続回路（R）に出力（Vout）され、マイナス入力により位相補正トランジスタQ1が動作（メインスイッチトランジスタQ2はオフ）して位相補正回路が構成されて接続回路（R）に出力（Vout）される。

【0097】したがって、本実施形態1の構成の半導体装置1において、半導体チップ7としてNチャンネルMOSFETを組み込んだものは、前記位相補正トランジ

## 21

スタQ1として使用でき、半導体チップ7としてPチャネルMOSFETを組み込んだものは、前記メインスイッチトランジスタQ2として使用できる。

【0098】本実施形態1の半導体装置1（低電圧駆動用パワートランジスタ）は、たとえば、携帯電話、ビデオカメラなどの充電器、OA機器、ノートパソコン電源などLiイオン2次電池充放電パワーマネージメント等に組み込まれる。

【0099】本実施形態1によれば、以下の効果を奏する。

（1）第2電極リード（ソースリード）5は2本となることから、伝熱断面積の増大により、実装基板への伝熱量を増大させることになり、伝熱効果が高くなり、パワーMOSFETの安定動作が達成できる。

（2）2本のソースリード5は封止体2の内部において長い連結部20で連なり、この連結部20には4本の太いA1のワイヤ14（直径500 $\mu$ m）が接続されていることから、ドレイン電流が従来に比較して大幅に増大しても、損失出力が小さくでき、発熱量を小さく抑えることができるため、封止体2を構成する樹脂の劣化の発生を抑えることができ、パワーMOSFETの長寿命化が達成できる。

【0100】（3）前記ワイヤ14で発生した熱や半導体チップ7で発生した熱は、4本の太いワイヤ14を介し、かつ伝熱効果が高くなる2本構成のソースリード5を通して実装基板に伝達されるため、効果的な放熱が達成できる。

（4）制御電極リード（ゲートリード）6および第2電極リード5は真っ直ぐ延在させて挿入実装構造にすることもできる。

（5）吊りリード4は封止体2の近傍で切断しないで、面実装構造または挿入実装構造とすれば、第1電極（ドレイン電極）用のリードとして使用することもできる。

【0101】なお、前記2本のソースリード5を封止体2の外側で連結片を介して一体とした構造にしておいてもよい。この構造ではリードは幅広構造となるため、伝熱効果が高くなり、ソース電極側の放熱効果が高くなる。また、連結片部分から外れるリード先端には挿入実装用の挿入部が設けられる構造になることから、この挿入部を用いることによって挿入実装が可能になり、面実装・挿入実装兼用型になる。また、挿入実装で使用する際、2本のソースリードは連結片で連結されていることから、両者の間隔が常に一定になり、挿入実装が容易になる。

【0102】（実施形態2）図16は本発明の他の実施形態（実施形態2）である半導体装置を示す平面図である。本実施形態2では、第2電極リード（ソースリード）5を一本構成とし、前記制御電極リード（ゲートリード）6の幅よりも広くした例である。ソースリード5は最大で前記連結部20の長さと同程度の幅とするこ

## 22

とができる。この例では連結部20の長さより僅かに狭い寸法になっている。また、ソースリード5およびゲートリード6ともにガルウィング型に成形され、面実装構造になっている。

【0103】本実施形態2の半導体装置1は、前記実施形態1と同様な効果を有するに加えて、ソースリード5が一本構成になり、伝熱断面積の増大から、一層伝熱効果が高くなり、パワーMOSFETの安定動作に寄与することになる。

10 【0104】（実施形態3）図17乃至図19は本発明の他の実施形態（実施形態3）である半導体装置に係わる図であり、図17は半導体装置の模式的斜視図、図18は平面図、図19は半導体装置製造に用いるリードフレームの平面図である。本実施形態3は、前記実施形態2と同様にソースリード5をゲートリード6よりも幅広とした1本構成のリードであるが、この例ではソースリード5の先端を挿入実装も可能な構造としたものである。

【0105】すなわち、幅広ソースリード5構造のリード先端には突出する挿入実装用の挿入部50が形成されている。この2本の挿入部50とゲートリード6のピッチは同一となり、挿入実装構造となって、たとえばピッチは3.4mmになっている。

【0106】本実施形態3の半導体装置1の製造においては、図19に示すようなリードフレーム40が使用される。このリードフレーム40は、前記実施形態1の半導体装置1の製造で使用した図8に示すリードフレーム40において、タイバー44のヘッダ3側においてもソースリード5を1本となるように連結した構造である。4本のワイヤ14が接続されるソースリード5の先端

30 は、ソースリード5が1本リードとなることから、もはや連結部20を構成するものではないが、その部分の名称として連結部20と呼称することにする。

【0107】なお、本実施形態3の半導体装置1の製造は前記実施形態1の場合と同様であることからその説明は省略する。本実施形態3の半導体装置1も前記実施形態2のものと同様にソースリード5が幅広の一本構成になり、伝熱断面積の増大から、一層伝熱効果が高くなる。また、本実施形態3の半導体装置1では、幅広構造のソースリード5の先端に挿入部50が設けられ、ゲートリード6とによって挿入実装構造となっている。したがって、半導体装置1は実装基板に実装する際、面実装の状態を実装することもできるとともに、挿入実装の状態を実装することができ、面実装・挿入実装兼用の汎用型になる。

【0108】（実施形態4）図20は本発明の他の実施形態（実施形態4）である半導体装置を示す平面図である。本実施形態4では、ソースリード5を幅広構造とした場合、ソースリード5を封止体2の近傍で折り曲げてリード形態を面実装構造とする場合、ソースリード5がゲートリード6に比較して数倍も幅が広く、折り曲げに

大きな力を必要とし、封止体2を構成する樹脂にクラック等損傷を与えることを危惧した場合に適した構造である。

【0109】すなわち、幅広構造のソースリード5の各部の屈曲成形の均等化を図るように前記ソースリード5の屈曲部分には1乃至複数の折曲均等用孔51を設ける。このようにすることによって、ソースリード5の折り曲げ部分の各幅をゲートリード6の幅以下とすることができる。

【0110】本実施形態4では、折曲均等用孔51は一つとしてあるが、幅の狭い折曲均等用孔を複数配置する構造にしてもよい。この場合、各折曲均等用孔51の間には連結部20に繋がる分岐片が存在することになり、この部分を通しての伝熱も可能になり、伝熱効果の向上が高められることになる。

【0111】また、本実施形態4では、ソースリード5の折り曲げ部分の幅寸法はゲートリード6と同一かまたは狭くなるため、リード成形時、折り曲げ部分に大きな力が加わることがなく、その結果封止体2を構成する樹脂にクラック等が発生することなく、リード成形性が良好になり、歩留りが向上する。本実施形態4の構造においても、前記ソースリード5の先端に挿入部を設けて挿入実装も可能な構造にしてもよい。

【0112】(実施形態5) 図21は本発明の他の実施形態(実施形態5)である半導体装置を示す模式的斜視図である。本実施形態5は、幅広構造のソースリード5の実装部分にはビス取り付け穴52が設けられている。本実施形態5の半導体装置1では、ソースリード5はビス取り付け穴52を利用してビスでリードを実装基板に固定できることから、リード固定強度の向上が図れるとともに、直接実装基板へ固定できることから伝熱効果も高くなり、パワーMOSFETの安定動作に寄与することになる。本実施形態5の半導体装置1においても、リード先端に挿入実装用の突出する挿入部を形成し、挿入実装が可能な構造、すなわち面実装・挿入実装兼用型にしてもよいことは勿論である。

【0113】(実施形態6) 図22は本発明の他の実施形態(実施形態6)である半導体装置を示す模式的斜視図である。本実施形態6の半導体装置1は、前記実施形態1の半導体装置1において、封止体2から突出するヘッダ3部分を封止体2の近傍で切断して、小型化したものである。本実施形態6の半導体装置1は、前記実施形態1の半導体装置1と同様な効果を奏する。

【0114】(実施形態7) 図23～図36は本発明の他の実施形態(実施形態7)である半導体装置に係わる図である。本実施形態7の半導体装置1は、図23に示すように、封止体2の一面面から第2電極リード〔ソース(S)リード〕5と制御電極リード〔ゲート(G)リード〕6をそれぞれ1本突出させるとともに、支持基板(ヘッダ)3を第1電極(ドレイン電極)として使用す

る構造となり、2端子構成となるものである。

【0115】本実施形態7では、図25の平面図および図26の側面図で示すリードフレーム40が使用される。このリードフレーム40は、図8に示す実施形態1のリードフレーム40において、タイバー44から支持主片46を隣接する支持基板3間に突出させるとともに、その両側面側から支持片47を突出させてその先端で支持基板3を支持する構造になっている(図28参照)。

【0116】リードフレーム40は薄い金属板をプレス成形によって形成される。前記支持片47は支持主片46の両側に2本ずつ設けられている。この支持基板(ヘッダ)3の支持構造を側面支持構造と呼称する。なお、実施形態1のように吊りリードで支持基板を支持する構造を吊りリード支持構造と呼称する。

【0117】本実施形態7ではソースリード5は一本となり2端子構成となっている。封止体2の内部に位置するソースリード5の先端(内端)部分はワイヤ接続部55となるが、このワイヤ接続部55の幅Wは広くなり、前記実施形態1の場合と同様に直径500 $\mu$ mにも及ぶ太いワイヤ14が四本並んで接続できる長さになっている。たとえば、前記幅Wは6.0mmになっている。また、二本のリードの間隔(ピッチ)は、5.08mmになっている。このリード構造はJEDC規格に適合する。

【0118】本実施形態7の半導体装置1は、その製造方法は前記実施形態1と同じであり、図29および図30に示すように、支持基板3の主面側に前記実施形態1と同様にパワーMOSFETが形成されている半導体チップ7を固定した後、半導体チップ7の第2電極(ソース電極)11とソースリード5のワイヤ接続部55を4本の太いA1ワイヤ14で接続する。また、半導体チップ7の制御電極(ゲート電極)12とゲートリード6の先端部分(ワイヤ接続部)を細いワイヤ14で接続する。なお、本実施形態および以降の各実施形態で、太いワイヤはたとえば直径500 $\mu$ m程度のワイヤであり、細いワイヤは直径100 $\mu$ m程度のワイヤを意味する。

【0119】つぎに、図31に示すように、ヘッダ3の取付用孔21から外れる面部分をトランスファモールドによってモールドして、封止体2で半導体チップ7、ワイヤ14、ソースリード5およびゲートリード6の内端部分(ワイヤ接続部55)で封止する。

【0120】つぎに、切断、成形処理を行う。すなわち、支持片47をヘッダ3の付け根部分で切断するとともにタイバー44を切断し、かつソースリード5およびゲートリード6を外枠41から切り離し、さらにソースリード5およびゲートリード6をガルウィング型に成形することによって図23および図24に示すような面実装型の半導体装置1を製造する。

【0121】図32および図33はリードを真っ直ぐ延

## 25

在させて挿入実装型の半導体装置1としたものである。このような半導体装置1は、図34乃至図36に示す形態で実装される。これらの図は模式図であり、図34および図35は面実装状態の平面図と側面図であり、図36は挿入実装状態の側面図である。

【0122】面実装では、実装基板56の配線の接続部分にあらかじめ設けた半田層を利用して、ヘッダ3の下面およびソースリード5およびゲートリード6の折り曲げられた先端の下面が固定される。図34で示す点線で囲まれる部分がヘッダやリードが実装基板56に設けられた接続部分57である。

【0123】また、ヘッダ3は取付用孔に挿入される取付ビス58によって実装基板56に固定される。これにより、半導体チップ7やワイヤ14で発生した熱はソースリード5およびゲートリード6を介して実装基板56に放熱されるとともに、ヘッダ3を介して実装基板56に放熱される。したがって、効率的な放熱が可能になり、半導体装置1の安定動作が確保されることになる。

【0124】このような面実装型では、外部端子となるリードが2端子となることから、実装基板56の接続部分57のパターン、すなわちフットパターンが既存のものと同じになり、既存の実装基板56が使用できる。

【0125】挿入実装では、図36に示すように、ソースリード5やゲートリード6のリード部分を実装基板56に設けられた挿入穴（図示せず）に挿入させ、かつ半田59で固定する。この際、図36に示すように、ヘッダ3に放熱フィン60を重ね、ヘッダ3の取付用孔に挿入した取付ビス58によってヘッダ3と放熱フィン60を螺合して固定する。この構造では、半導体チップ7やワイヤ14で発生した熱はソースリード5およびゲートリード6を介して実装基板56に放熱されるとともに、ヘッダ3、放熱フィン60を介して大気中に放熱される。したがって、効率的な放熱が可能になり、半導体装置1の安定動作が確保されることになる。

【0126】本実施形態7によれば、実施形態1と同様に4本の太いワイヤ14によって半導体チップ7で発生した熱はソースリード5に効率的に伝達され、かつソースリード5から実装基板56に伝達されることになる。

【0127】本実施形態7は実施形態1と同様な効果を有するとともに、吊りリードを設けないことから、ソースリード5のワイヤ接続部55の幅Wを長くすることができ、太いワイヤの接続が容易になるとともに、ワイヤの接続本数をさらに多くすることも可能になる。

【0128】（実施形態8）図37乃至図41は本発明の他の実施形態（実施形態8）である半導体装置に係わる図である。本実施形態8の半導体装置1は、図37および図38に示すように、封止体2の一側面から第2電極リード（ソースリード）5と制御電極リード（ゲートリード）6をそれぞれ1本突出させるとともに、支持基板（ヘッダ）3を第1電極（ドレイン電極）として使用

## 26

する構造となり、2端子構成となるものである。

【0129】本実施形態8では、図39の平面図で示すように前記実施形態1のリードフレーム40と同様に吊りリード支持構造のリードフレーム40が使用される。しかし、吊りリード4はモールド後封止体2から突出する部分で切断されている。

【0130】本実施形態8の半導体装置1は、封止体2の一側面から突出するリード全体が封止体2の1側に片寄って配置されている。したがって、半導体装置1を実装基板に実装する場合、封止体2の位置を偏って実装できる効果がある。

【0131】本実施形態8の半導体装置の製造に用いるリードフレーム40は、実施形態1の場合のリードフレーム40（図8参照）において、ソースリード5を1本とした構造である。すなわち、本実施形態8のリードフレーム40は、ソースリード5の内端に連結部を有しないが、幅広のワイヤ接続部55を有する形状になっている。また、前記ワイヤ接続部55の幅Wを広くするために、吊りリード4は途中でゲートリード6側に一段屈曲した形状になっている。

【0132】ゲートリード6、吊りリード4、ソースリード5と並ぶ3本のリードのピッチは一定となっている。たとえば、リードピッチは2.54mmとなっている。このため、ワイヤ接続部55の幅Wは4.5mmにすることができる。ワイヤ接続部55が大きいことから、図39に示すように、半導体チップ7のソース電極11とワイヤ接続部55を4本の太いワイヤ14で接続できる。したがって、1本当たりに流れるソース電流量は小さくなり、ソースワイヤでの発熱量を低減できるとともに、ソースリード5への熱伝達も良好に行えるようになる。

【0133】半導体装置1の製造方法は前記実施形態1と同じであり、図39に示すように、支持基板3の主面側に前記実施形態1と同様にパワーMOSFETが形成されている半導体チップ7を固定した後、半導体チップ7の第2電極（ソース電極）11とソースリード5のワイヤ接続部55を4本の太いワイヤ14で接続する。また、半導体チップ7の制御電極（ゲート電極）12とゲートリード6の先端部分（ワイヤ接続部）を細いワイヤ14で接続する。

【0134】つぎに、図40に示すように、ヘッダ3の取付用孔21から外れる面部分をトランスファモールドによってモールドして、封止体2で半導体チップ7、ワイヤ14、ソースリード5およびゲートリード6の内端部分（ワイヤ接続部55）で封止する。

【0135】つぎに、切断、成形処理を行う。すなわち、係合部45、タイバー44を切断除去するとともに3本のリードを切断し、さらにソースリード5およびゲートリード6をガルウィング型に成形することによって図37および図38に示すような面実装型の半導体装置



1を製造する。前記リード切断において吊りリード4は封止体2の付け根部分で切断する。一方、3本のリードを外枠41の近傍で切断しただけの状態にすることによって、図41に示すように、リードを真っ直ぐ延在させる挿入実装型の半導体装置1とすることかできる。この場合、中央のリード、すなわち、吊りリード4はドレイン(D)リードとなる。本実施形態8の場合も実施形態1の場合と同様な効果を得ることができる。

【0136】(実施形態9) 図42乃至図44は本発明の他の実施形態(実施形態9)である半導体装置に係わる図である。本実施形態9の半導体装置1は、図42に示すように、封止体2の一側面から3本のソースリード5と1本のゲートリード6を突出させた面実装型となっている。本実施形態9の半導体装置1は実施形態7と同様に、図43に示すように、支持基板3両側を支持片47で支持する側面支持構造のリードフレーム40を用いて製造する。

【0137】図43に示すように、このリードフレーム40はタイバー44から支持基板3に向かって1本のゲートリード6と、3本のソースリード5が延在するパターンになっている。また、ソースリード5の先端は連結部20によって連結された構造になっている。この連結部20はワイヤ接続部55を構成し、換言するならば、ワイヤ接続部55から複数のリードを延在する形状になっている。前記ワイヤ接続部55の幅は側面支持構造が採用されていることから大きくでき、たとえば6.5mmと大きくとることができる。

【0138】ワイヤ接続部55が大きいことから、図43に示すように、半導体チップ7のソース電極11とワイヤ接続部55を4本の太いワイヤ14で接続できる。したがって、1本当たりに流れるソース電流量は小さくなり、ソースワイヤでの発熱量を低減できる。また、ソースリード5も3本になることからソースリードを介しての熱伝導性能が高くなり、実装基板に実装された状態では熱放散性が高くなり、半導体装置1の安定動作が確保できる。

【0139】半導体装置1の製造方法は前記実施形態7と同じであり、図43に示すように、支持基板3の主側面に半導体チップ7を固定し、その後、半導体チップ7のソース電極11とソースリード5のワイヤ接続部55を4本の太いワイヤ14で接続するとともに、半導体チップ7のゲート電極12とゲートリード6の先端部分を細いワイヤ14で接続する。

【0140】その後、図示はしないがヘッダ3の取付用孔21から外れる面部分をトランスファモールドによってモールドして、封止体2で半導体チップ7、ワイヤ14、ソースリード5およびゲートリード6のワイヤ接続部55等を封止し、ついでリードフレーム部分に対して切断、成形処理を行って図42に示すような半導体装置1を製造する。一方、4本のリードを外枠41の近傍で

切断しただけの状態にすることによって、図44に示すように、リードを真っ直ぐ延在させる挿入実装型の半導体装置1とすることかできる。本実施形態9の場合も実施形態1の場合と同様な効果を得ることができる。

【0141】(実施形態10) 図45乃至図47は本発明の他の実施形態(実施形態10)である半導体装置に係わる図である。本実施形態10の半導体装置1は、図45に示すように、封止体2の一側面から3本のソースリード5と1本のゲートリード6を突出させた面実装型となっている。本実施形態10では、図46の平面図で示すように前記実施形態1のリードフレーム40と同様に吊りリード支持構造のリードフレーム40が使用される。しかし、吊りリード4は、図45に示すようにモールド後封止体2から突出する部分で切断されている。

【0142】本実施形態10の半導体装置1に使用されるリードフレーム40は、図46に示すように、タイバー44から支持基板3に向かって1本のゲートリード6と、1本の吊りリード4と、3本のソースリード5が延在するパターンになっている。なお、リードピッチは一定でなく不等ピッチになっている。

【0143】また、ソースリード5の先端は連結部20によって連結された構造になっている。この連結部20はワイヤ接続部55を構成し、換言するならば、ワイヤ接続部55から複数のリードを延在する形状になっている。前記ワイヤ接続部55の幅は、たとえば5.8mmと大きくとることができる。

【0144】半導体装置1の製造方法は前記実施形態8と同じである。リード切断時、4本のリード(ソースリード5およびゲートリード6)を外枠41の近傍で切断するだけでリード成形を行わないことによって、図47に示すような挿入実装型の半導体装置1とすることかできる。本実施形態10の場合も実施形態1の場合と同様な効果を得ることができ、封止体の熱損傷を防止でき、かつ半導体装置1の安定動作が確保される。

【0145】(実施形態11) 図48乃至図50は本発明の他の実施形態(実施形態11)である半導体装置に係わる図である。本実施形態11は実施形態10において、リードピッチが一定である点、吊りリード4をドレインリードとして使用してある点で異なる。すなわち、図48は面実装型の半導体装置1であり、図50は挿入実装型の半導体装置1である。面実装型の半導体装置1において、吊りリード4を封止体2の付け根部分で切断して使用することも可能である。

【0146】図49は本実施形態11で使用するリードフレーム40である。本実施形態では半導体チップ7の固定、ワイヤ14の接続およびモールドが終了した後、吊りリード4は封止体2の近傍(付け根)部分で切断することなくリードとして使用するようにする。本実施形態10の場合も実施形態1の場合と同様な効果を得ることができ、封止体の熱損傷を防止でき、かつ半導体装置

1の安定動作が確保される。

【0147】(実施形態12)図51乃至図53は本発明の他の実施形態(実施形態12)である半導体装置に係わる図である。本実施形態12の半導体装置1は、図51に示すように、封止体2の一側面から1本の幅広のソースリード5と1本のゲートリード6を突出させた面実装型となっている。

【0148】本実施形態12の半導体装置1は実施形態7と同様に、図52に示すように、支持基板3両側を支持片47で支持する側面支持構造のリードフレーム40を用いて製造する。

【0149】図52に示すように、このリードフレーム40はタイバー44から支持基板3に向かって1本のゲートリード6と、1本の幅広のソースリード5が延在するパターンになっている。また、ソースリード5の先端のワイヤ接続部55はさらに幅広になっている。また、ソースリード5の途中には実施形態4と同様に幅広のソースリード5を曲げやすいようにするため折曲均等用孔51が設けられている。

【0150】このリードフレーム40では、側面支持構造となることからソースリード5のワイヤ接続部55の幅Wを一層長くすることができる。たとえば、幅Wを7.0mmと長くすることができる。半導体装置1の製造方法は前記実施形態7と同じである。

【0151】一方、4本のリードを外枠41の近傍で切断しただけの状態にすることによって、図53に示すような挿入実装型の半導体装置1とすることかできる。この場合、幅広のソースリード5の先端を挿入実装用にする必要がある。この挿入実装部分はリードフレーム40のタイバー44から外側に延在するアウターリード部分をそのまま使用すればよい。すなわち、インナーリード部分は幅広とし、アウターリード部分は従来のリードパターンとしておけばよい。

【0152】本実施形態12の場合も実施形態1の場合と同様な効果を得ることができる。また、ソースリード5のワイヤ接続部55の幅Wを大きくすることから、ワイヤボンディング時にリードフレームを押さえるリードフレーム押さえ部の押さえ部分のリードとの接触面積を大きくできるため、ワイヤ接続部55の両端部分を強く押さえることができ、超音波ボンディング性能を高くでき、ワイヤのボンディング強度の向上を図ることができる。

【0153】つぎに、支持基板を封止体の近傍で切断した構造の半導体装置について実施形態13～実施形態19を用いて説明する。これらの実施形態はその多くは前記各実施形態で説明した構造が取り入れられた構造である。これら半導体装置の製造においては前記各実施形態で使用されるリードフレームが使用され、その製造においてモールド後、支持基板を封止体の近傍で切断することによって製造される。

【0154】支持基板を封止体の近傍で切断した構造は、封止体から数mm程度以下支持基板が張り出すものであり、JEDEC規格のTO-262AA、TO-263AB、TO-268AA等に対応できるものである。また、リードフレームの図においては、支持基板部分とこの支持基板に向かって延在するリードの先端部分を簡略的に示すものである。また、ソースリードのワイヤ接続部には図示はしないが、太いワイヤが4本並んで接続されるものである。

10 【0155】(実施形態13)本実施形態13は図54に示すように、封止体2の一側面からゲートリード6とソースリード5を1本ずつ突出させた面実装型の半導体装置1である。本実施形態13では吊りリード4とゲートリード6の間隔よりも吊りリード4とソースリード5の間隔が広がっている。この構造では3端子リードピッチ規格(JEDEC規格)が適用できる。本実施形態13でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0156】(実施形態14)図56は本発明の他の実施形態(実施形態14)である半導体装置の平面図、図57は半導体装置の製造に用いるリードフレームの一部を示す平面図である。本実施形態14ではソースリード5が2本となるものであるが、封止体2の内部において各ソースリード5は幅広のワイヤ接続部55を有するが、これら二つのワイヤ接続部55は途切れた構造になっている。ソースリードがさらに多い数であってもよい。この場合、各ソースリード5は単一のワイヤ接続部55に連なる構造であってもよく、また一つのワイヤ接続部55から複数のソースリード5が延在する構造でもよい。本実施形態14でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0157】(実施形態15)図58は本発明の他の実施形態(実施形態15)である半導体装置の平面図、図59は半導体装置の製造に用いるリードフレームの一部を示す平面図である。本実施形態15ではソースリード5が幅広になっている。したがって、ソースリード5を介しての熱伝導性能が格段に高くなる。本実施形態15でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、幅広ソースリードによるためさらに熱伝達性がよくなり半導体装置の安定動作が確保できる。

【0158】(実施形態16)図60は本発明の他の実施形態(実施形態16)である半導体装置の平面図、図61は半導体装置の製造に用いるリードフレームの一部を示す平面図である。本実施形態16は実施形態8と同様に、封止体2の一側面から突出するリード全体が封止

## 31

体2の1側に片寄って配置されている。したがって、半導体装置1を実装基板に実装する場合、封止体2の位置を偏って実装できる効果がある。

【0159】一方、図62に示すように、半導体装置の製造時、吊りリード4を切断除去せずにドレインリードとする挿入型の半導体装置にすることもできる。また、面実装型でも吊りリード4をガルウィング型に成形してドレインリードとしても使用できる。本実施形態16でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。また、この構造では3端子リードピッチ規格(JEDEC規格)が適用できる。

【0160】(実施形態17)図63は本発明の他の実施形態(実施形態17)である半導体装置の平面図、図64は半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。本実施形態17では、ソースリード5を中央に配置してある。この結果、図64に示すように、ソースリード5のワイヤ接続部55と半導体チップ7のソース電極11とを接続する太いワイヤ14を短くすることができ、ソースワイヤの抵抗低減が図れる。本実施形態17でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0161】(実施形態18)図65は本発明の他の実施形態(実施形態18)である半導体装置の平面図、図66は半導体装置の製造に用いるリードフレームの一部を示す平面図である。本実施形態18では、ソースリード5のワイヤ接続部およびゲートリード6のワイヤ接続部55の端を封止体2よりも0.5~0.7mmと僅かに突出させるようにしてある。

【0162】図66に示すように、ワイヤボンディング時、ゲートリード6のワイヤ接続部の端およびソースリード5のワイヤ接続部55の端を、二点鎖線で示す形状のリードフレーム押さえ70で押さえて超音波を掛けながら行うワイヤボンディングにおいて、リードフレーム押さえ70のリードとの接触面積を大きくできるため、ワイヤ接続部55の両端部分を強く押さえることができ、超音波ボンディング性能を高くでき、ワイヤのボンディング強度の向上を図ることができる。これによりワイヤボンディングの強度の向上、歩留りの向上および信頼性の向上が図れる。本実施形態18でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0163】(実施形態19)図67は本発明の他の実施形態(実施形態19)である半導体装置の平面図、図68は半導体装置の製造に用いるリードフレームの一部

## 32

を示す平面図である。本実施形態19は支持基板3に取付用孔21を有する実施形態9に対応するものであり、ソースリード5が3本の半導体装置1である。本実施形態19でも4本ソースワイヤであることからソースワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0164】(実施形態20)図69は本発明の他の実施形態(実施形態20)である半導体装置の平面図である。本実施形態20は実施形態7において、パワーバイポーラトランジスタが組み込まれた半導体チップ7を支持基板3に固定した半導体装置1であり、封止体2の一側面から突出するリードはベース(B)リード71と、エミッタ(E)リード72となる。支持基板3はコレクタ(C)端子として使用される。本実施形態20でも4本エミッタワイヤであることからエミッタワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0165】(実施形態21)図70は本発明の他の実施形態(実施形態21)である半導体装置の平面図である。本実施形態21は実施形態7において、IGBTが組み込まれた半導体チップ7を支持基板3に固定した半導体装置1であり、封止体2の一側面から突出するリードはゲートリード6と、エミッタ(E)リード72となる。支持基板3はコレクタ(C)端子として使用される。本実施形態21でも4本エミッタワイヤであることからエミッタワイヤ部分での発熱による樹脂からなる封止体の劣化が起き難くなるとともに、熱伝達性がよいことから半導体装置の安定動作が確保できる。

【0166】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0167】本発明の半導体装置は面実装構造としてまたは挿入実装構造で各種の電子装置に組み込むことができ、たとえば、低電圧動作が要求される携帯機器やノートパソコン等の電源等、低熱抵抗が要求されるレーザービームプリンタ等の電源等、100~120A等と大電流が要求される自動車電装機器等の電源に使用できる。本発明は少なくともTO-220構造の半導体装置には適用できる。

【0168】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1)第2電極リード(ソースリード)は2本となり、伝熱断面積の増大により、実装基板への伝熱量を増大させることができるため伝熱効果が高くなり、パワーMOSFET、パワーバイポーラトランジスタ、IGBT等

トランジスタの安定動作が達成できる。

(2) 2本のソースリードは封止体の内部において長い連結部で連なり、この連結部には4本の太いA1のワイヤ(直径500 $\mu$ m)が接続されることから、ドレイン電流が従来に比較して大幅に増大(100A)しても、損失出力が小さくでき、発熱量を小さく抑えることができるため、封止体を構成する樹脂の劣化の発生を抑えることができ、パワーMOSFETの長寿命化が達成できる。

(3) 前記ワイヤで発生した熱や半導体チップで発生した熱は、4本の太いワイヤを介し、かつ伝熱効果が高くなる2本構成のソースリードを通して実装基板に伝達されるため、効果的な放熱が達成できる。

(4) 第2電極リードが幅広のものではさらに放熱性能が高くなり、トランジスタの安定動作が確保できる。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)である半導体装置を示す模式的斜視図である。

【図2】本実施形態1の半導体装置の断面図である。

【図3】本実施形態1の半導体装置に組み込まれる半導体チップの模式的平面図である。

【図4】前記半導体チップの模式的断面図である。

【図5】前記半導体チップに組み込まれたパワーMOSFETの特性を示すグラフである。

【図6】前記半導体チップに組み込まれたパワーMOSFETの特性を示すグラフである。

【図7】本実施形態1の半導体装置の製造方法を示すフローチャートである。

【図8】本実施形態1の半導体装置の製造に使用するリードフレームの平面図である。

【図9】本実施形態1の半導体装置の製造においてヘッダにチップが固定された状態のリードフレームの一部の模式的平面図である。

【図10】本実施形態1の半導体装置の製造においてワイヤボンディングが終了したリードフレームの一部の模式的平面図である。

【図11】本実施形態1の半導体装置の製造においてモールドが終了したリードフレームを示す模式的平面図である。

【図12】本実施形態1の半導体装置の製造においてリード切断とリード成形が終了した半導体装置の模式的平面図である。

【図13】本実施形態1の半導体装置の製造においてリード表面に半田がメッキされた完成状態の半導体装置の模式的平面図である。

【図14】本実施形態1の半導体装置の変形例である挿入実装型の半導体装置の平面図である。

【図15】本実施形態1の半導体装置が組み込まれる電子装置の電源回路図である。

【図16】本発明の他の実施形態(実施形態2)である

半導体装置を示す平面図である。

【図17】本発明の他の実施形態(実施形態3)である半導体装置を示す模式的斜視図である。

【図18】本実施形態3の半導体装置の平面図である。

【図19】本実施形態3の半導体装置の製造に用いるリードフレームの平面図である。

【図20】本発明の他の実施形態(実施形態4)である半導体装置を示す平面図である。

【図21】本発明の他の実施形態(実施形態5)である半導体装置を示す模式的斜視図である。

【図22】本発明の他の実施形態(実施形態6)である半導体装置を示す模式的斜視図である。

【図23】本発明の他の実施形態(実施形態7)である半導体装置の平面図である。

【図24】本実施形態7の半導体装置の側面図である。

【図25】本実施形態7の半導体装置の製造に用いるリードフレームの平面図である。

【図26】本実施形態7の半導体装置の製造に用いるリードフレームの側面図である。

【図27】図25のA-A線に沿う断面図である。

【図28】図25のB-B線に沿う断面図である。

【図29】本実施形態7の半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。

【図30】本実施形態7の半導体装置の製造におけるワイヤボンディング後のリードフレームの断面図である。

【図31】本実施形態7の半導体装置の製造におけるモールド後のリードフレームの平面図である。

【図32】本実施形態7の変形例である挿入型の半導体装置の平面図である。

【図33】本実施形態7の変形例である挿入実装型の半導体装置の側面図である。

【図34】本実施形態7の面実装型半導体装置の実装状態を示す模式的平面図である。

【図35】本実施形態7の面実装型半導体装置の実装状態を示す模式的側面図である。

【図36】本実施形態7の面実装型半導体装置の実装状態を示す模式的側面図である。

【図37】本発明の他の実施形態(実施形態8)である半導体装置の平面図である。

【図38】本実施形態7の半導体装置の側面図である。

【図39】本実施形態8の半導体装置の製造におけるワイヤボンディング後のリードフレームの断面図である。

【図40】本実施形態8の半導体装置の製造におけるモールド後のリードフレームの平面図である。

【図41】本実施形態8の変形例である挿入型の半導体装置の平面図である。

【図42】本発明の他の実施形態(実施形態9)である半導体装置の平面図である。

【図43】本実施形態9の半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。

【図44】本実施形態9の変形例である挿入型の半導体装置の平面図である。

【図45】本発明の他の実施形態（実施形態10）である半導体装置の平面図である。

【図46】本実施形態10の半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。

【図47】本実施形態10の変形例である挿入型の半導体装置の平面図である。

【図48】本発明の他の実施形態（実施形態11）である半導体装置の平面図である。

【図49】本実施形態11の半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。

【図50】本実施形態11の変形例である挿入型の半導体装置の平面図である。

【図51】本発明の他の実施形態（実施形態12）である半導体装置の平面図である。

【図52】本実施形態12の半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。

【図53】本実施形態12の変形例である挿入型の半導体装置の平面図である。

【図54】本発明の他の実施形態（実施形態13）である半導体装置の平面図である。

【図55】本実施形態13の半導体装置の製造に用いるリードフレームの一部を示す平面図である。

【図56】本発明の他の実施形態（実施形態14）である半導体装置の平面図である。

【図57】本実施形態14の半導体装置の製造に用いるリードフレームの一部を示す平面図である。

【図58】本発明の他の実施形態（実施形態15）である半導体装置の平面図である。

【図59】本実施形態15の半導体装置の製造に用いるリードフレームの一部を示す平面図である。

【図60】本発明の他の実施形態（実施形態16）である半導体装置の平面図である。

【図61】本実施形態16の半導体装置の製造に用いるリードフレームの一部を示す平面図である。

【図62】本実施形態16の変形例である挿入型の半導体装置の平面図である。

【図63】本発明の他の実施形態（実施形態17）である半導体装置の平面図である。

【図64】本実施形態17の半導体装置の製造におけるワイヤボンディング後のリードフレームの平面図である。

【図65】本発明の他の実施形態（実施形態18）である半導体装置の平面図である。

【図66】本実施形態18の半導体装置の製造に用いるリードフレームの一部を示す平面図である。

【図67】本発明の他の実施形態（実施形態19）である半導体装置の平面図である。

【図68】本実施形態19の半導体装置の製造に用いるリードフレームの一部を示す平面図である。

【図69】本発明の他の実施形態（実施形態20）である半導体装置の平面図である。

【図70】本発明の他の実施形態（実施形態21）である半導体装置の平面図である。

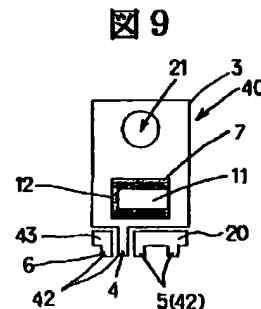
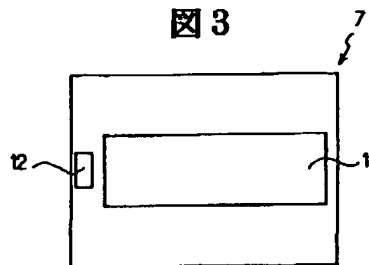
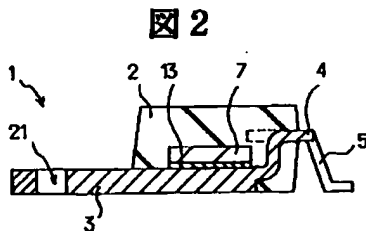
【符号の説明】

1…半導体装置、2…封止体（パッケージ）、3…支持基板（ヘッダ）、4…吊りリード、5…第2電極リード（ソースリード）、6…制御電極リード（ゲートリード）、7…半導体チップ、10…第1電極（ドレイン電極）、11…第2電極（ソース電極）、12…制御電極（ゲート電極）、13…接合材、14…ワイヤ、20…連結部、21…取付用孔、30…ゲート電極、31…層間絶縁膜、32…保護膜、40…リードフレーム、41…外枠、42…リード、43…ワイヤパッド、44…タイバー、45…連結部、46…支持主片、47…支持片、50…挿入部、51…折曲均等用孔、52…ビス取り付け穴、55…ワイヤ接続部、56…実装基板、57…接続部分、58…取付ビス、59…半田、60…放熱フィン、70…リードフレーム押さえ、71…ベース（B）リード、72…エミッタ（E）リード。

【図2】

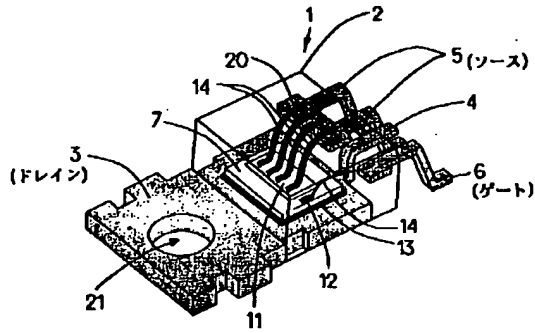
【図3】

【図9】



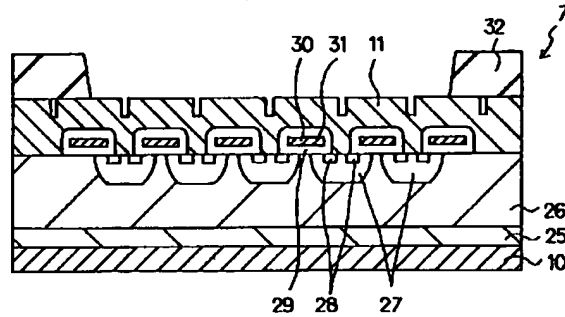
【図1】

図1



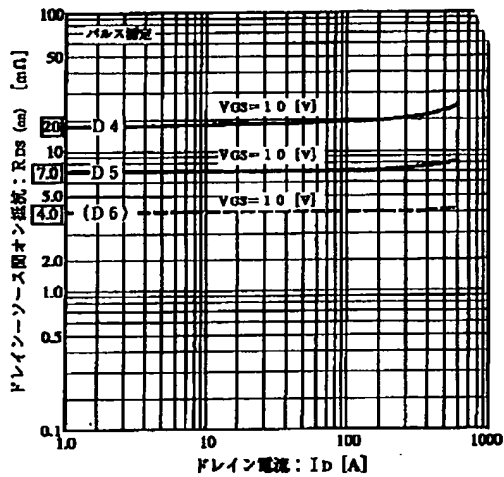
【図4】

図4



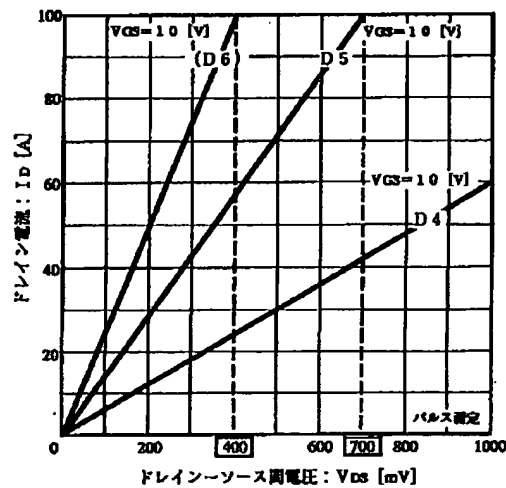
【図5】

図5



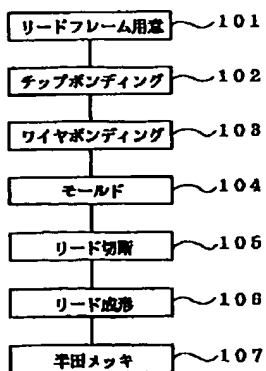
【図6】

図6



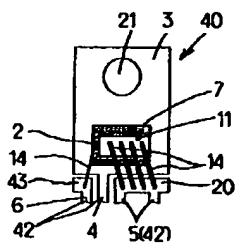
【図7】

図7



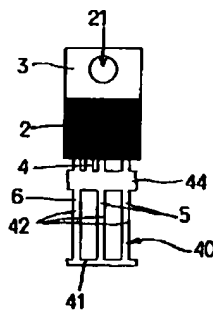
【図10】

図10



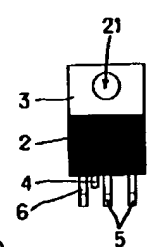
【図11】

図11



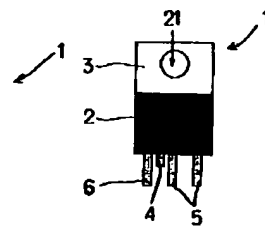
【図12】

図12



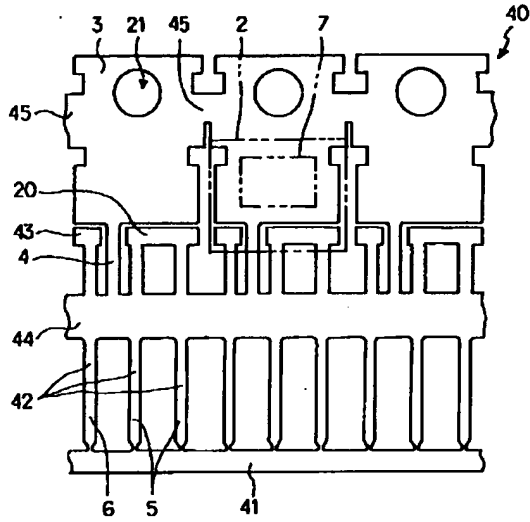
【図13】

図13



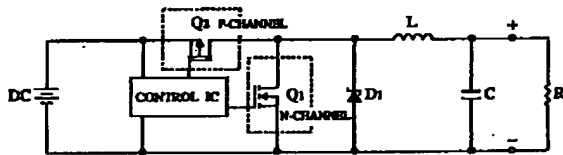
【図8】

図8



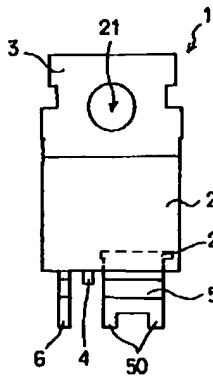
【図15】

図15



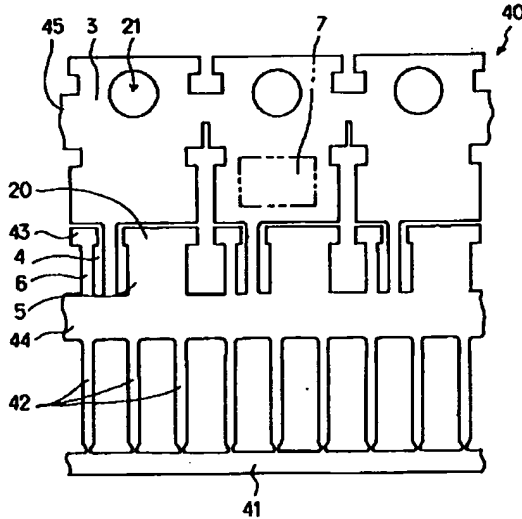
【図18】

図18



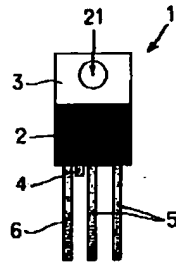
【図19】

図19



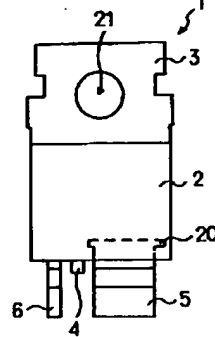
【図14】

図14



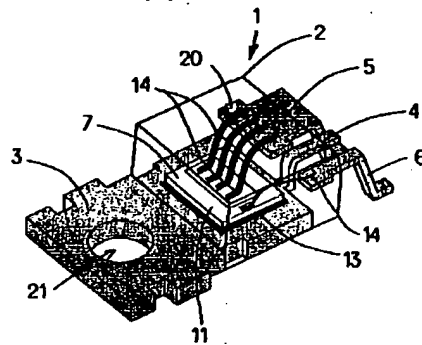
【図16】

図16



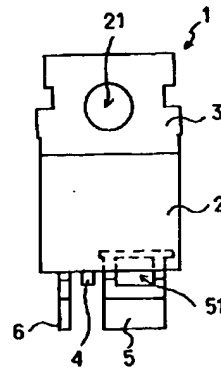
【図17】

図17

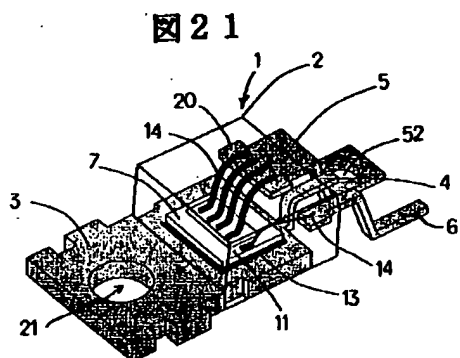


【図20】

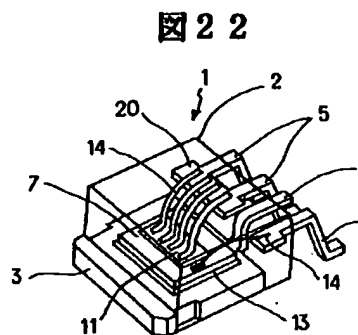
図20



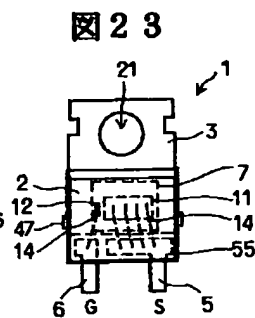
【図21】



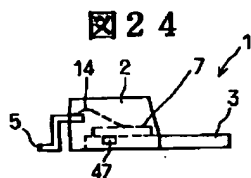
【図22】



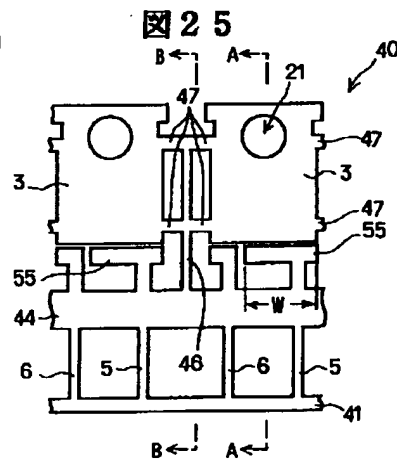
【図23】



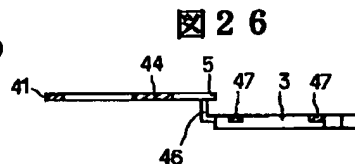
【図24】



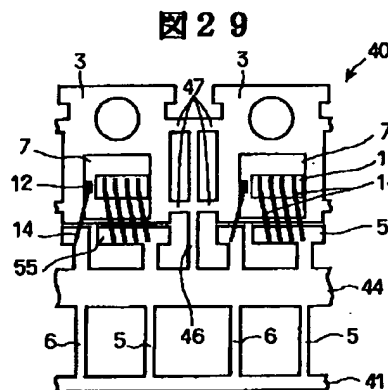
【図25】



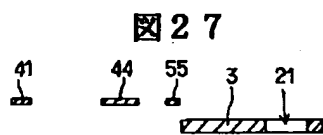
【図26】



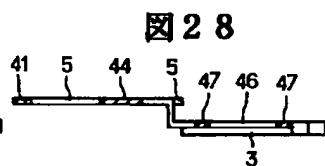
【図29】



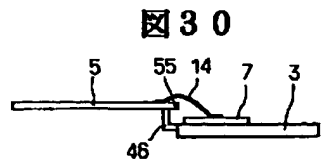
【図27】



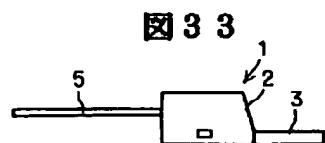
【図28】



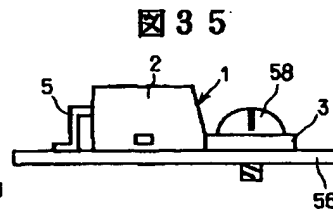
【図30】



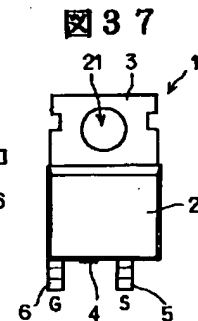
【図33】



【図35】

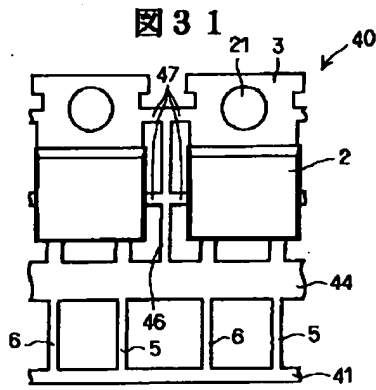


【図37】

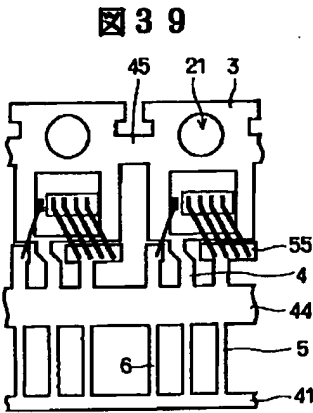




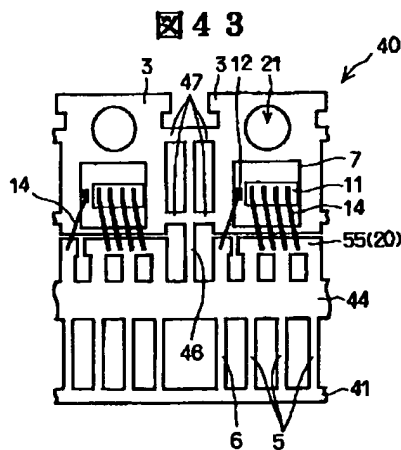
【図31】



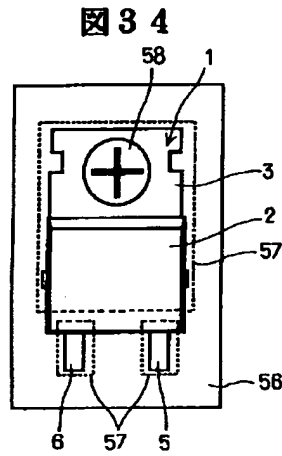
【図39】



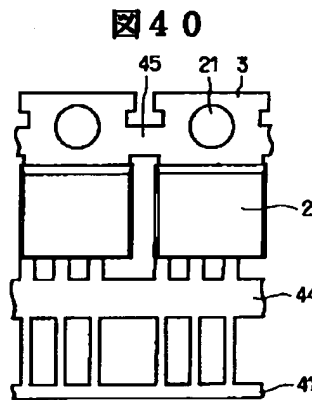
【図43】



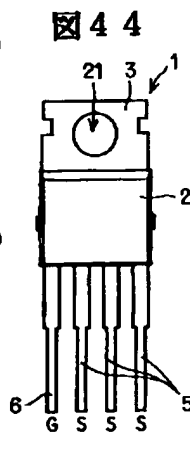
【図34】



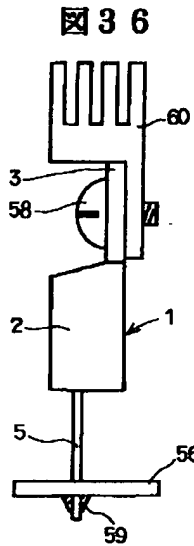
【図40】



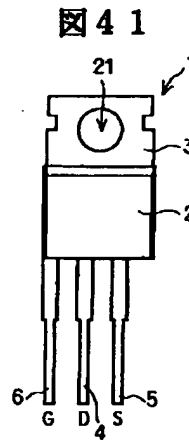
【図44】



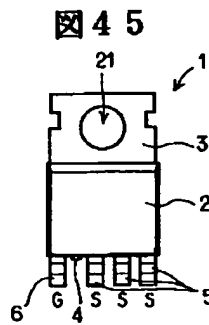
【図36】



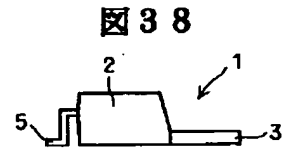
【図41】



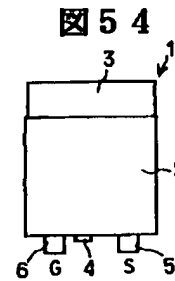
【図45】



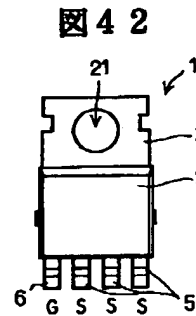
【図38】



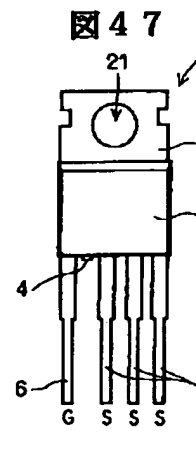
【図54】



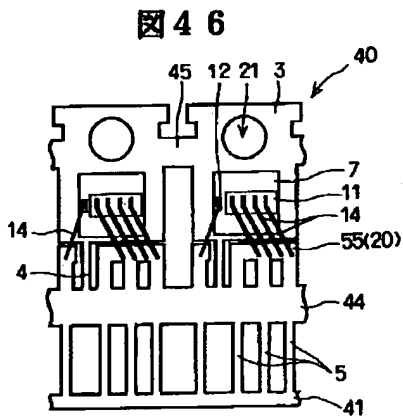
【図42】



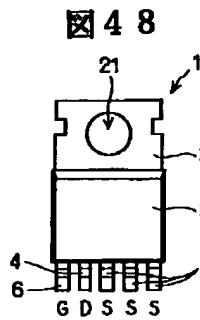
【図47】



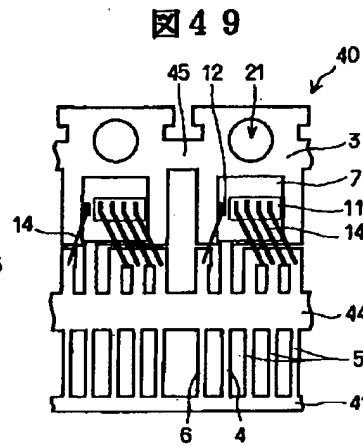
【図46】



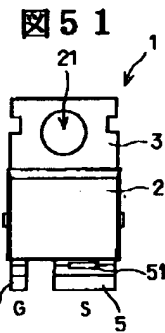
【図48】



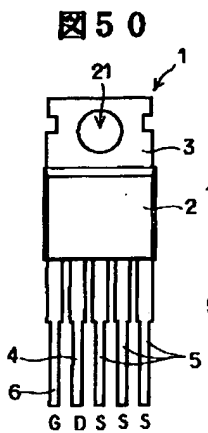
【図49】



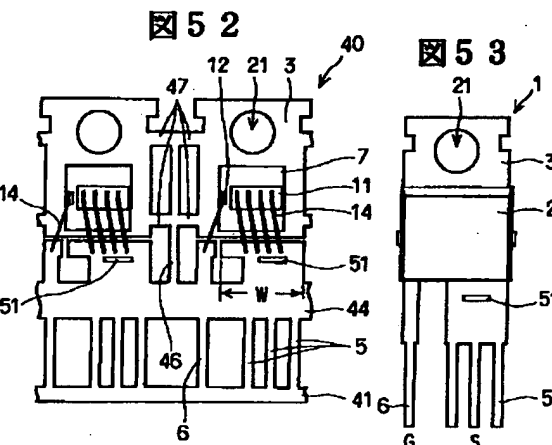
【図51】



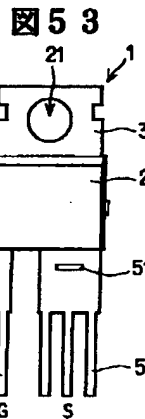
【図50】



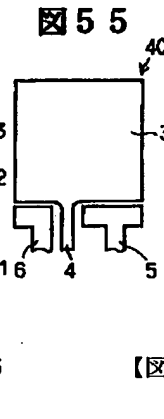
【図52】



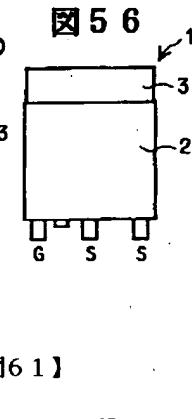
【図53】



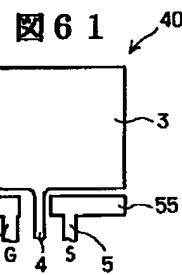
【図55】



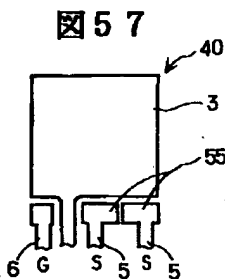
【図56】



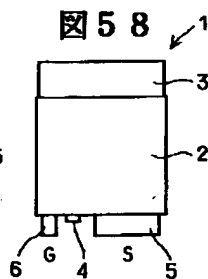
【図61】



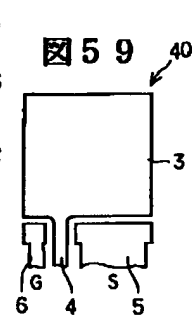
【図57】



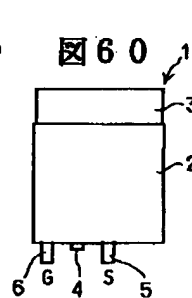
【図58】



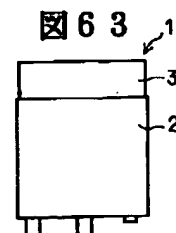
【図59】



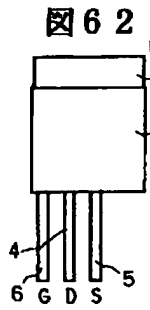
【図60】



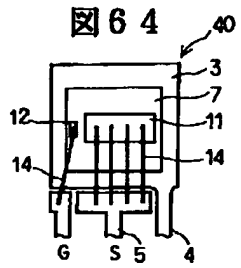
【図63】



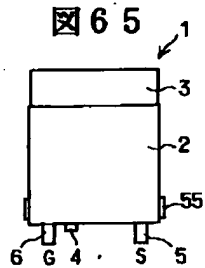
【図62】



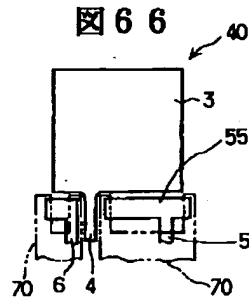
【図64】



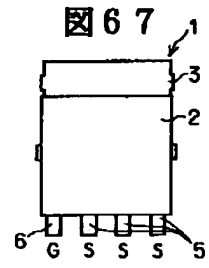
【図65】



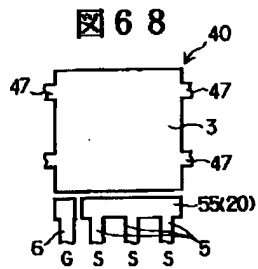
【図66】



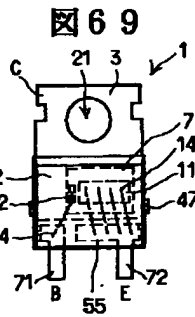
【図67】



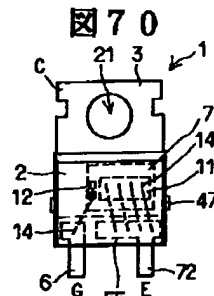
【図68】



【図69】



【図70】



## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, It stands in a row in said support substrate, and projects and hangs from one side face of said closure object. A lead, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It is the semiconductor device which has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. It is the semiconductor device which said 2nd electrode lead consists of leads of two or more located in a line, and the tip of these leads is connected with the one connection section in the interior of said closure object, and is characterized by connecting the 2nd electrode of said connection section and said semiconductor chip with two or more wires located in a line.

[Claim 2] The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It is the semiconductor device which has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. Said 2nd electrode lead is a semiconductor device characterized by having the structure where two or more leads were made to extend in parallel from a wire connection while the width of face of the wire connection to which a wire is connected became larger than the width of face of the wire connection of said control-electrode lead.

[Claim 3] two or more conductors which said connection section or said wire connection was divided, respectively, and became independent electrically -- while consisting of the sections -- each -- a conductor -- the semiconductor device according to claim 1 or 2 characterized by said lead of at least one having extended from the section.

[Claim 4] It is a semiconductor device given in any 1 term of claim 1 characterized by connecting said each lead mutually by the piece of connection in the part which separated from said 2nd electrode lead which consist of leads of a book from said closure object, and having broad structure thru/or claim 3.

[Claim 5] The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, It stands in a row in said support substrate, and projects and hangs from one side face of said closure object. A lead, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which

locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. The semiconductor device characterized by the width of face of the wire connection to which the wire of said 2nd electrode lead is connected at least being larger than the width of face of the wire connection of said control-electrode lead.

[Claim 6] The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. The semiconductor device characterized by the width of face of the wire connection to which the wire of said 2nd electrode lead is connected being larger than the width of face of the wire connection of said control-electrode lead.

[Claim 7] The width of face of said 2nd electrode lead is a semiconductor device according to claim 5 or 6 characterized by being broader than the width of face of said control-electrode lead.

[Claim 8] It is a semiconductor device given in any 1 term of claim 1 characterized by having the surface mounting structure or insertion mounting structure which is hung and can be used as said lead which is not used for a lead, being cut near said closure object, or a lead for the 1st electrode, claim 3 or claim 5, and claim 7.

[Claim 9] A semiconductor device given in any 1 term of claim 1 characterized by the edge of the connection section of said 2nd electrode lead and said control-electrode lead or a wire connection being exposed, or having projected on the side face of said closure object thru/or claim 8.

[Claim 10] The control-electrode lead and the 2nd electrode lead which project from one side face of said closure object are a semiconductor device given in any 1 term of claim 1 characterized by forming the insertion section for insertion mounting to which straight extension is carried out, and it becomes insertion mounting structure, and said 2nd electrode lead projects at the tip of a lead in the thing of broad structure thru/or claim 9.

[Claim 11] The control-electrode lead and the 2nd electrode lead which project from one side face of said closure object are a semiconductor device given in any 1 term of claim 1 characterized by being crooked on the way and having surface mounting structure thru/or claim 10.

[Claim 12] A semiconductor device given in any 1 term of claim 5 characterized by establishing the bis-installation hole in the mounting part of said 2nd electrode lead of said 2nd electrode lead in the thing of broad structure thru/or claim 9, or claim 11.

[Claim 13] A semiconductor device given in any 1 term of claim 5 characterized by said 2nd electrode lead having structure which the insertion section in which it projects for insertion mounting is formed at the tip of a lead in the thing of broad structure, and can be used by surface mounting or insertion mounting thru/or 9, claim 11, or claim 12.

[Claim 14] A semiconductor device given in any 1 term of claim 11 characterized by preparing 1 thru/or two or more holes for bending equal in a part for the flecion of said 2nd electrode lead so that equalization of crookedness shaping of said lead may be attained with the structure where said 2nd electrode lead is the thing of broad structure, and a lead is crooked thru/or claim 12.

[Claim 15] A semiconductor device given in any 1 term of claim 1 characterized by spacing of said the lead of each being fixed thru/or claim 14.

[Claim 16] Spacing of said the lead of each is a semiconductor device given in any 1 term of claim 1 characterized by differing at least by the part thru/or claim 14.

[Claim 17] Said 2nd electrode lead is a semiconductor device given in any 1 term of claim 1

characterized by being located in a center or central approach thru/or claim 16.

[Claim 18] Said whole lead is a semiconductor device given in any 1 term of claim 1 characterized by inclining toward the 1 side approach of said closure object, and being arranged thru/or claim 17.

[Claim 19] A semiconductor device given in any 1 term of claim 1 characterized by preparing the hole for attachment in the part projected from said closure object of said support substrate thru/or claim 18.

[Claim 20] The part which projects from said closure object of said support substrate is a semiconductor device given in any 1 term of claim 1 characterized by being about several mm thru/or claim 19.

[Claim 21] It is a semiconductor device given in any 1 term of claim 1 characterized by for said wire consisting of an aluminum wire and the number of the wire which connects said 2nd electrode lead and 2nd electrode having become three or more thru/or claim 20.

[Claim 22] A semiconductor device given in any 1 term of claim 1 characterized by having the power metal-oxide semiconductor field effect transistor which uses the 1st electrode, the 2nd electrode, and a control electrode as an electrode, respectively, a power bipolar transistor, and the transistor of either of the IGBT(s) in said semiconductor chip thru/or claim 21.

[Claim 23] The support substrate with which a semiconductor chip is fixed while consisting of a metal plate of one sheet which patterning is carried out and was made crooked one step partly and constituting the 1st electrode, The process which prepares the leadframe which supports said support substrate at a tip, and which hangs and has a lead, and said 2nd electrode lead and control-electrode lead which hang and extend together with a lead, The process which prepares the semiconductor chip which has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, The process which fixes said semiconductor chip on said support substrate through a jointing material for corrugated fibreboard conductive by the 1st electrode section, The wire connection of the 2nd electrode of said semiconductor chip, and said 2nd electrode lead And the process which connects the wire connection of said control-electrode lead with the control electrode of said semiconductor chip with a conductive wire, The process which carries out the mold of a part of said semiconductor chip, said connecting means, 2nd electrode lead, and control-electrode lead by insulating resin, and is covered with a closure object, It is the manufacture approach of a semiconductor device of having the process which forms a lead in insertion mounting structure or surface mounting structure while carrying out cutting removal of the garbage of said leadframe. It constitutes from a lead of two or more which stands in a row in the connection section in the interior of broad structure larger than the width of face of a control-electrode lead of said 2nd electrode lead, or said closure object. The manufacture approach of the semiconductor device characterized by fixing the account semiconductor chip of back to front on said support substrate, and connecting said connection section with the 2nd electrode of the account semiconductor chip of back to front, the tip of the 2nd electrode lead of said broad structure, or said 2nd electrode with two or more wires.

[Claim 24] The manufacture approach of the semiconductor device according to claim 23 characterized by forming said 2nd electrode lead so that the width of face of the wire connection of said 2nd electrode lead may serve as a lead larger than the width of face of the wire connection of said control-electrode lead at least.

[Claim 25] The support substrate with which a semiconductor chip is fixed while consisting of a metal plate of one sheet which patterning is carried out and was made crooked one step partly and constituting the 1st electrode, The 2nd electrode lead and control-electrode lead which locate in a line and extend toward the end side side of said support substrate, The process which prepares the leadframe which supports said support substrate at a tip by part for the both-sides surface part which intersects the end side of said support substrate, and which hangs and has a lead, The process which prepares the semiconductor chip which has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, The process which fixes said semiconductor chip on said support substrate through a jointing material for corrugated fibreboard conductive by the 1st electrode section, The process which connects the 2nd electrode of said semiconductor chip, said 2nd electrode lead, and said control electrode and said control-electrode lead with a conductive wire, The process which carries out the mold of a part of said semiconductor chip, said connecting means, 2nd electrode lead, and control-electrode lead by insulating resin, and is covered with a closure object, It is the manufacture approach of a semiconductor device of having the process which forms a lead in insertion mounting structure or surface mounting structure while carrying out cutting removal of the

garbage of said leadframe. Said 2nd electrode lead is constituted from a lead of two or more which extends from the lead with the width of face of broad structure larger than the width of face of a control-electrode lead, or the wire connection of said 2nd electrode lead wider than the width of face of the wire connection of said control-electrode lead, or said wire connection. The manufacture approach of the semiconductor device characterized by fixing the account semiconductor chip of back to front on said support substrate, and connecting said connection section with the 2nd electrode of the account semiconductor chip of back to front, the tip of the 2nd electrode lead of said broad structure, or said 2nd electrode with two or more wires.

[Claim 26] two or more conductors which divided said wire connection electrically, respectively -- while forming in the section -- said -- each -- a conductor -- the manufacture approach of a semiconductor device given in any 1 term of claim 23 characterized by forming the section so that it may lead to one of leads thru/or claim 25.

[Claim 27] The manufacture approach of a semiconductor device given in any 1 term of claim 23 characterized by forming the edge of the connection section of said 2nd electrode lead and said control-electrode lead, or a wire connection so that it may expose or project on the side face of said closure object thru/or claim 26.

[Claim 28] Said leadframe is the manufacture approach of a semiconductor device given in any 1 term of claim 23 characterized by forming so that both leads may be connected by the piece of connection in the part which separated from said closure object, while forming said 2nd electrode lead with the lead of two or more which extends in parallel with mutual thru/or claim 27.

[Claim 29] Said leadframe is the manufacture approach of a semiconductor device given in any 1 term of claim 23 characterized by preparing 1 thru/or two or more holes for bending equal in a part for a lead flexion while forming said 2nd electrode lead more widely than the width of face of said control-electrode lead thru/or claim 28.

[Claim 30] It is the manufacture approach of a semiconductor device given in any 1 term of claim 23 characterized by forming in the surface mounting structure which hangs and can use a lead as cutting or a lead for the 1st electrode near said closure object, or said insertion mounting structure thru/or claim 29.

[Claim 31] It is the manufacture approach of a semiconductor device given in any 1 term of claim 23 characterized by connecting the connection with said 2nd electrode lead and 2nd electrode with three or more conductive wires while fixing the power metal-oxide semiconductor field effect transistor which uses said 1st electrode, the 2nd electrode, and a control electrode as an electrode, respectively, a power bipolar transistor, and the semiconductor chip which has either of the IGBT(s) on said support substrate thru/or claim 30.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to manufacture of the power transistor for high currents used for the power transistor of the low-ferver resistance used for the power source of high power devices, such as a power transistor for a low-battery drive by the reduction in electric resistance used for the power source of the semiconductor device incorporating transistors for power sources, such as power metal-oxide semiconductor field effect transistor, IGBT (Insulated Gate Bipolar Transistor), and a bipolar power transistor, i.e., a pocket device etc., etc., and a laser beam printer, etc., an automobile electrical device, etc. with respect to the manufacturing technology of a semiconductor device, and relates to an effective technique.

[0002]

[Description of the Prior Art] The power transistor for a low-battery drive by low ON low resistance is known as a transistor for power sources included in power circuits, such as battery chargers, such as a cellular phone and a video camera, and an office automation (OA) device. For example, the power transistor for a low-battery drive is indicated by the Hitachi, Ltd. semi-conductor operation division issue, "Hitachi data book:Hitachi semiconductor package" September, 1997 issue, and P329.

[0003] This power transistor for a low-battery drive consists of power metal-oxide semiconductor field effect transistor. The power metal-oxide semiconductor field effect transistor by this reference to the metal support substrate called a header Said end of the gate lead which the semiconductor chip (chip) incorporating power metal-oxide semiconductor field effect transistor is fixed [ lead ], and makes the slanting upper part of said header face an end, or a source lead, The electrode (a gate electrode, source electrode) of the top face of said chip is connected with a conductive wire, and it has structure which covered the top-face side of a header further with the closure object which consists of insulating resin (resin), and covered said chip, the wire, and the lead end part.

[0004] In such power metal-oxide semiconductor field effect transistor, while it exposes and the inferior surface of tongue of said header forms a heat sinking plane, from one side face of said closure object, the lead of three will expose it. The leads of two are said gate lead and a source lead, and other leads of one are drain leads which stand in a row in said header. Moreover, aluminum is used in respect of cost and the wire connected to a source electrode also has connection structure with two wires from increase of the amount of currents.

[0005] Moreover, "the power metal-oxide semiconductor field effect transistor for power management" is indicated by the Hitachi, Ltd. semi-conductor operation division issue, "Gain" September2, 1996 issue, and P19 and P20. this power metal-oxide semiconductor field effect transistor makes the main applications Li ion rechargeable battery charge-and-discharge power management, such as battery chargers, such as a cellular phone and a video camera, OA equipment, and a notebook computer power source, -- the purport publication is carried out.

[0006] Furthermore, in order to prevent destruction of the component resulting from the negative electrical potential difference impressed to the drain in a JP,9-307103,A (Japanese Patent Application No. No. 120211 [ eight to ]) official report, the technique of the compound-die power metal-oxide semiconductor field effect transistor which built in the negative electrical-potential-difference protection network is indicated.



[0007] On the other hand, the power transistor is used abundantly for [ which operates the device of each part of an automobile ] the drive power sources of a motor as indicated by for example, the Kogyo Chosakai Publishing issue "a hybrid-packaging technique", May 15, Showa 63 issue, and P25. Moreover, power steering driven by the hydraulic-pump type driven to issue, and P110-P112 by the electric motor on Riko-Gaku-Sha issue "electronic system of automobile" August 5, 1992 or the electric motor itself is indicated.

[0008]

[Problem(s) to be Solved by the Invention] Power metal-oxide semiconductor field effect transistor is used being included in the rectifier circuit of the power source of OA equipment. Although diode has been conventionally used for a rectifier circuit, since on resistance is low, power metal-oxide semiconductor field effect transistor is used in recent years.

[0009] The output of power metal-oxide semiconductor field effect transistor is in the inclination of increase for a time from reduction of on resistance. On the other hand, the property of power metal-oxide semiconductor field effect transistor also improves, for example, the thing before and behind 0.34mohm (condition of a semiconductor chip) is also developed for on resistance by progress of the ultra-fine processing technology in semiconductor device manufacture.

[0010] As a result of developing the semiconductor device (plastic molded type semiconductor device) of a power-metal-oxide-semiconductor-field-effect-transistor configuration with which an output is set also to 500W (5V, 100A) in these people and examining the conventional structure this time also including a closure object (package) configuration, it found out that there was a possibility that the following problems may be derived.

[0011] In the semiconductor device of the conventional plastic molded type, in order to attain high power-ization, a wire with a large diameter is used and the use number has also become two. Although the resistance of a gold streak is low desirable, since the price is high, aluminum is used. Although connection with an electrode or a lead is made by wirebonding (USWB) according [ aluminum ] to supersonic vibration, also in the size, 500-micrometer diameter serves as max. This dimension is the greatest thing of aluminum wire which has appeared on the market in the commercial scene, and if it becomes a custom-made item, since a price will become high, this is used.

[0012] Moreover, when aluminum wire of the size more than 500-micrometer diameter extent is used, the semiconductor chip formed with semi-conductors, such as brittle silicon, with the wirebonding equipment by supersonic vibration is made damaged, and use of aluminum wire of 500-micrometer diameter extent is a limitation. Since a crack enters or goes out, it stops moreover, fitting use, in case it will be twisted around a spool, if aluminum wire is made still thicker exceeding 500 micrometers. This evil is so remarkable that the purity of aluminum is high, and aluminum with high purity is used for wirebonding.

[0013] Moreover, the output of the semiconductor device of the conventional power-metal-oxide-semiconductor-field-effect-transistor configuration is about 200-300W at the maximum, and is small enough as compared with this 500W.

[0014] By use of two of aluminum wire of 500-micrometer diameter, the calorific value in a wire part is large, and there is a possibility that resin may deteriorate, by the resin (epoxy resin) whose glass transition temperature (Tg) is about 155-170 degrees C. Then, this invention person considered increase of the use number of a wire. On the other hand, according to examination of this invention person, with the closure structure of the conventional power metal-oxide semiconductor field effect transistor, it is not considered at all about the heat dissipation from a source lead.

[0015] On the other hand, in the automobile field, although the compressor for power steering was conventionally driven by the fan belt, it is changing to the method (hydraulic-pump type electric power steering) driven by the motor for lightweight-izing of a car body, and low-fuel-consumption-izing. Furthermore, in order to lightweight-ize, the method (direct-drive type electric power steering) which drives a direct steering without using a pump is beginning to be used for a small-size car.

[0016] The transistor (semiconductor device) of a high current is used for said both methods. For example, by 120A and direct-drive type electric power steering, 70A is needed with hydraulic-pump type electric power steering.

[0017] Since there is regulation for especially preventing jamming in Europe, a motor needs to be brush loess and it is decided whether the maximum torque of power steering is decided by the ability to pass

[ which ] a current as for the transistor included in the drive system of direct-drive type electric power steering, for example, MOSFET, as a result it can use to the vehicle of the displacement of which. With the transistor of current TO220 system package, since it can treat only about 75A, it is considered to be a limit to apply to about 1500 cc displacement vehicle.

[0018] Moreover, a transistor is incorporated in the engine room of the automobile used as high temperature, and is used in a severe temperature environment. Although this is the numeric value acquired in the experiment by this invention person etc., when a package appearance connects a-two source lead with a source electrode by TO220AB using the wire of 500-micrometer diameter and impresses the current of 110A, wire ambient temperature becomes 151.5 degrees C (ambient temperature of 80 degrees C).

[0019] Since it is such, in order to raise the heat dissipation nature of a transistor, mounting of the semiconductor device which fixes to a direct heat sink etc. the header in which a semiconductor chip is carried is also needed. In this case, a header may be unable to be used as an electrode cash-drawer terminal. In such a case, the lead which serves as a drain, the source, and the gate from a package as an electrode terminal is needed.

[0020] The purpose of this invention is to offer the semiconductor devices (the power transistor for a low-battery drive, power transistor for high currents, etc.) of the high power which does not cause degradation of the closure object by generation of heat. The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0021]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

(1) The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, It stands in a row in said support substrate, and projects and hangs from one side face of said closure object. A lead, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It is the semiconductor device which has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. Said 2nd electrode lead consists of leads of two or more located in a line, and the tip of these leads is connected with the one connection section in the interior of said closure object, and the 2nd electrode of said connection section and said semiconductor chip is connected with two or more wires located in a line. The control-electrode lead and the 2nd electrode lead which project from one side face of said closure object are crooked on the way, and have surface mounting structure. Said wire consists of an aluminum wire and three or more (4) have been the number of the wire which connects said 2nd electrode lead and 2nd electrode. In said semiconductor chip, it has the power metal-oxide semiconductor field effect transistor which uses the 1st electrode (drain electrode), the 2nd electrode (source electrode), and a control electrode (gate electrode) as an electrode, respectively, a power bipolar transistor, and the transistor of either of the IGBT(s). For example, it has power metal-oxide semiconductor field effect transistor. In addition, straight extension of the control-electrode lead and the 2nd electrode lead which project from one side face of said closure object may be carried out, and you may make it insertion mounting structure. Moreover, although it is said lead which is not used for a lead, hanging and being cut near said closure object, you may make it use it as a lead for the 1st electrode as surface mounting structure or insertion mounting structure.

[0022] Such a semiconductor device is manufactured by the following approaches. The support substrate with which a semiconductor chip is fixed while consisting of a metal plate of one sheet which patterning is carried out and was made crooked one step partly and constituting the 1st electrode, The process which prepares the leadframe which supports said support substrate at a tip, and which hangs and has a lead, and said 2nd electrode lead and control-electrode lead which hang and extend together with a lead,

The process which prepares the semiconductor chip which has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, The process which fixes said semiconductor chip on said support substrate through a jointing material for corrugated fibreboard conductive by the 1st electrode section, The process which connects the 2nd electrode of said semiconductor chip, said 2nd electrode lead, and said control electrode and said control-electrode lead with a conductive wire, The process which carries out the mold of a part of said semiconductor chip, said connecting means, 2nd electrode lead, and control-electrode lead by insulating resin, and is covered with a closure object, It is the manufacture approach of a semiconductor device of having the process which forms a lead in insertion mounting structure or surface mounting structure while carrying out cutting removal of the garbage of said leadframe. It constitutes from a lead of two or more which stands in a row in the connection section in the interior of broad structure larger than the width of face of a control-electrode lead of said 2nd electrode lead, or said closure object. The account semiconductor chip of back to front is fixed on said support substrate, and said connection section is connected with the 2nd electrode of the account semiconductor chip of back to front, the tip of the 2nd electrode lead of said broad structure, or said 2nd electrode with two or more wires. It forms in the surface mounting structure which can use a lead as cutting or a lead for the 1st electrode near said closure object by hanging, or said insertion mounting structure. While fixing the semiconductor chip which has the power metal-oxide semiconductor field effect transistor which uses said 1st electrode, the 2nd electrode, and a control electrode as an electrode, respectively on said support substrate, the connection with said 2nd electrode lead and 2nd electrode is connected with three or more (4 [ for example, ]) conductive wires.

[0023] (2) In the configuration of said means (1), said each lead is mutually connected by the piece of connection in the part which separated from said 2nd electrode lead which consist of leads of a book from said closure object, and it has broad structure. Moreover, the projecting insertion section for insertion mounting is formed at the tip of a lead which separates from the piece of connection. In the manufacture approach of said means (1), such a semiconductor device connects both leads by the piece of connection in the part which separated from the field in which said closure object is prepared while forming said 2nd electrode lead with the lead of two or more which extends in parallel with mutual.

[0024] (3) The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, It stands in a row in said support substrate, and projects and hangs from one side face of said closure object. A lead, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. The width of face of the wire connection to which the wire of said 2nd electrode lead is connected at least is larger than the width of face of the wire connection of said control-electrode lead. moreover, the width of face as a control-electrode lead with the width of face of the lead part except a wire connection same [ the 2nd electrode lead ] -- or it is large. With the structure where the 2nd electrode lead is the thing of broad structure, and a lead is crooked, 1 thru/or two or more holes for bending equal are prepared in a part for the flection of said 2nd electrode lead so that equalization of crookedness shaping of said lead may be attained. The bis-installation hole is established in the mounting part of said 2nd electrode lead. The insertion section in which it projects for insertion mounting is formed at the tip of a lead, and insertion mounting also has possible structure.

[0025] In the manufacture approach of said means (1), such a semiconductor device forms said 2nd electrode lead so that a leadframe may serve as a lead with the width of face of the wire connection of said 2nd electrode lead wider than the width of face of the wire connection of said control-electrode lead at least. Moreover, while forming said 2nd electrode lead more widely than the width of face of said control-electrode lead, what prepared 1 thru/or two or more holes for bending equal is used for a part for a lead flection.

[0026] (4) The metal support substrate from which a divided inferior surface of tongue is [ substrate ]

exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It is the semiconductor device which has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead. Said 2nd electrode lead has the structure where two or more leads were made to extend in parallel from a wire connection while the width of face of the wire connection to which a wire is connected becomes larger than the width of face of the wire connection of said control-electrode lead. Other parts have the same composition as said means (1).

[0027] Such a semiconductor device is manufactured by the following approaches. The support substrate with which a semiconductor chip is fixed while consisting of a metal plate of one sheet which patterning is carried out and was made crooked one step partly and constituting the 1st electrode, The 2nd electrode lead and control-electrode lead which locate in a line and extend toward the end side side of said support substrate, The process which prepares the leadframe which supports said support substrate at a tip by part for the both-sides surface part which intersects the end side of said support substrate, and which hangs and has a lead, The process which prepares the semiconductor chip which has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, The process which fixes said semiconductor chip on said support substrate through a jointing material for corrugated fibreboard conductive by the 1st electrode section, The process which connects the 2nd electrode of said semiconductor chip, said 2nd electrode lead, and said control electrode and said control-electrode lead with a conductive wire, The process which carries out the mold of a part of said semiconductor chip, said connecting means, 2nd electrode lead, and control-electrode lead by insulating resin, and is covered with a closure object, It is the manufacture approach of a semiconductor device of having the process which forms a lead in insertion mounting structure or surface mounting structure while carrying out cutting removal of the garbage of said leadframe. Said 2nd electrode lead is constituted from a lead of two or more which extends from the lead with the width of face of broad structure larger than the width of face of a control-electrode lead, or the wire connection of said 2nd electrode lead wider than the width of face of the wire connection of said control-electrode lead, or said wire connection. The account semiconductor chip of back to front is fixed on said support substrate, and said connection section is connected with the 2nd electrode of the account semiconductor chip of back to front, the tip of the 2nd electrode lead of said broad structure, or said 2nd electrode with two or more wires.

[0028] (5) two or more conductors which said connection section or said wire connection was divided, respectively, and became independent electrically in the configuration of said means (1) or said means (4) -- while consisting of the sections -- each -- a conductor -- said lead of at least one has extended from the section. Other parts have the same composition as said means (1). Such a semiconductor device uses the following leadframes. two or more conductors which divided said wire connection electrically, respectively -- while forming in the section -- said -- each -- a conductor -- what formed the section so that it might lead to one of leads is used.

[0029] (6) The metal support substrate from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object, and at least a part becomes the 1st electrode with the closure object which consists of insulating resin, and said closure object, The control-electrode lead which becomes the 2nd electrode lead and control electrode which turn into the 2nd electrode which locates in a line and projects from said one side face of said closure object, The semiconductor chip with which it has the 1st electrode on the inferior surface of tongue, and has the 2nd electrode and a control electrode on the top face, and an inferior surface of tongue is fixed to said support substrate through a conductive jointing material for corrugated fibreboard while being covered with said closure object, It has the wire which is located in said closure inside of the body, and connects electrically said 2nd electrode and said 2nd electrode lead, and said control electrode and said control-electrode lead, and the width of face of the wire connection to which the wire of said 2nd electrode lead is connected is larger than the width of face

of the wire connection of said control-electrode lead. or [ that the width of face of said 2nd electrode lead is the same as the width of face of said control-electrode lead ] -- or it is broad. Other parts have the same composition as said means (1).

[0030] (7) On the side face of said closure object, it set in said means (1) thru/or the configuration of (6), and it has projected [ the edge of the connection section of said 2nd electrode lead and said control-electrode lead or a wire connection is exposed, or ]. In this example, at the time of manufacture of a semiconductor device, the edge of the connection section of said 2nd electrode lead and said control-electrode lead or a wire connection is formed so that it may expose or project on the side face of said closure object.

[0031] (8) In said means (1) thru/or the configuration of (7), spacing of said the lead including the 2nd electrode lead, a control-electrode lead, etc. of each is fixed.

(9) In said means (1) thru/or the configuration of (7), spacing of said the lead including the 2nd electrode lead, a control-electrode lead, etc. of each differs at least by the part.

(10) Said 2nd electrode lead is located in a center or central approach in said means (1) thru/or the configuration of (9).

[0032] (11) In said means (1) thru/or the configuration of (10), said whole lead inclines toward the 1 side approach of said closure object, and is arranged.

(12) In said means (1) thru/or the configuration of (11), the hole for attachment is prepared in the part projected from said closure object of said support substrate.

[0033] (13) In said means (1) thru/or the configuration of (11), the part which projects from said closure object of said support substrate is about several mm. According to the means of the above (1), since the (a) 2nd electrode lead consists of leads of two located in a line, the heat transfer effectiveness becomes high.

[0034] (b) Since the lead which separated mutually has led to the one connection section inside, the die length of said connection section is long, and three or more wires, i.e., connection of four, become possible. Consequently, the amount of currents per one also becomes small as compared with conventional two, even if it enlarges a source drain current, calorific value can be stopped, and it can do sufficiently lower than the glass transition temperature of the resin which constitutes a closure object, and degradation of resin can be prevented. When a source lead is connected with a source electrode with four aluminum wires (the diameter of 500 micrometers, die length of 6.0mm), loss power becomes about 2.3W and degradation of resin stops breaking out in the case of output 500W (5V, 100A).

[0035] (c) The heat by the side of the front face of a semiconductor chip will be transmitted to a mounting substrate from the high source lead of the heat transfer effectiveness through said four wires, and can attain operational stability of a semiconductor device.

[0036] (d) Straight extension of a control-electrode lead and the 2nd electrode lead can be carried out, and they can be made into insertion mounting structure. Moreover, although it is said lead which is not used for a lead, hanging and being cut near said closure object, it can also be used as a lead for the 1st electrode as surface mounting structure or insertion mounting structure.

[0037] According to the means of the above (2), in addition to the effectiveness by said means (1), the part which separated from the closure object also with (a)2 lead becomes the structure connected by the piece of connection, since a lead serves as broad structure, the heat transfer effectiveness becomes high and the heat dissipation effectiveness by the side of a source electrode becomes high.

(b) Since the insertion section for insertion mounting is prepared at the tip of a lead which separates from the piece part of connection, by using this insertion section, insertion mounting is attained and becomes surface mounting and an insertion mounting combination mold.

[0038] According to the means of the above (3), in addition to the effectiveness by said means (1), the heat transfer effectiveness becomes high further and the at least one 2nd electrode lead of (a) above will contribute to operational stability of power metal-oxide semiconductor field effect transistor from becoming broad.

[0039] (b) In manufacture of a semiconductor device, it is in the condition of a leadframe, the hole for bending equal is prepared so that equalization of crookedness shaping may be attained for the 2nd electrode lead of broad structure, since the width of face for each flection has become below the width of face of said control-electrode lead, a lead moldability becomes good, and the yield improves.

[0040] (c) Since the mounting part of the 2nd electrode lead can fix a lead to a mounting substrate on a

screw using a bis-installation hole, while it can aim at improvement in lead fixed reinforcement, since it is fixable to a direct mounting substrate, the heat transfer effectiveness also becomes high and will contribute it to operational stability of power metal-oxide semiconductor field effect transistor.

[0041] (d) The insertion section in which it projects for insertion mounting is formed at the tip of a lead, and insertion mounting is also attained and becomes surface mounting and an insertion mounting combination mold.

[0042] According to the means of the above (4), since four thick wires (diameter of 500 micrometers) are connectable with the wire connection of the 2nd electrode lead with the structure which hangs a support substrate and is not supported with a lead as well as the configuration of said means (1), the damage which calorific value in a wire can be made small and originates in the heat of a closure object can be inhibited. Moreover, since the 2nd electrode lead consists of leads of two or more, it can heighten the heat dissipation effectiveness which goes via the lead to the closure outside of the body, and it can secure operational stability of a semiconductor device.

[0043] According to the means of the above (5), heat damage suppression of a closure object with diameter four wires of 500 micrometers and operational stability of the semiconductor device by the heat leakage by two or more leads can be attained with the structure where the connection section or a wire connection was divided as well as said means (1).

[0044] According to the means of the above (6), since diameter four wires of 500 micrometers are connectable with the wire connection of the 2nd electrode lead, generation of heat is suppressed and heat damage suppression of a closure object can be attained. Moreover, since heat conduction which goes via a lead is effectively performed when a lead is broad, a heat dissipation property improves and operational stability of a semiconductor device can be attained.

[0045] According to the means of the above (7), it adds to said means (1) thru/or the effectiveness by the configuration of (6). From the edge of the connection section of the 2nd electrode lead and said control-electrode lead or a wire connection serving as structure which is exposed or projects on the side face of said closure object Width of face of the connection section of the 2nd electrode lead or a wire connection can be lengthened, and it is effective in whenever [ allowances / of wirebonding ] becoming high or being able to aim at increase of the number of the wire to connect.

[0046] According to the means of the above (8), in addition to said means (1) thru/or the effectiveness by the configuration of (7), since spacing of each lead is fixed, offer of the product corresponding to specification is also attained.

[0047] According to the means of the above (9), since it has the composition that spacing of each lead differs at least by the part in addition to said means (1) thru/or the effectiveness by the configuration of (7), offer of the product corresponding to specification is also attained.

[0048] the effectiveness [ according to the means of the above (10) ] by said means (1) thru/or the configuration of (9) -- in addition, since it is located in a center or central approach, and said 2nd electrode lead can shorten the die length of the wire linked to the wire connection of the 2nd electrode lead, it is effective in the ability to suppress generation of heat further from resistance reduction.

[0049] the effectiveness [ according to the means of the above (11) ] by said means (1) thru/or the configuration of (10) -- in addition, since it inclines toward the 1 side approach of said closure object and is arranged, in case said whole lead mounts a semiconductor device, it can be mounted by biasing a closure object location.

[0050] According to the means of the above (12), in addition to said means (1) thru/or the effectiveness by the configuration of (11), the hole for attachment prepared in said support substrate is used, and where a support substrate is stuck in a predetermined part on a screw etc., it can fix. Consequently, heat dissipation through a support substrate is also attained. With the structure which fixes a radiation fin to a support substrate, heat dissipation from said radiation fin can be performed effectively.

[0051] According to the means of the above (13), in addition to said means (1) thru/or the effectiveness by the configuration of (11), offer of specification products with which a support substrate does not project for a long time from a closure object, such as TO-263AA and TO-263AB, is also attained.

[0052]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. In addition, in the complete diagram for explaining the gestalt of implementation of invention, what has the same function attaches the same sign, and explanation of the

repeat is omitted.

[0053] (Operation gestalt 1) Drawing 1 thru/or drawing 14 are drawings concerning the semiconductor device (power transistor for a low-battery drive) which is 1 operation gestalt (operation gestalt 1) of this invention. Drawing 1 thru/or drawing 4 are drawings concerning the structure of the semiconductor device of this operation gestalt 1, and drawing concerning the manufacture approach of a semiconductor device in the graph, drawing 7, or drawing 14 drawing 5 and drawing 6 indicate an electrical property to be, and drawing 15 are rectifier-circuit Figs. where the semiconductor device of this operation gestalt 1 is incorporated.

[0054] The closure object 2 which consists of insulating resin as the semiconductor device 1 of this operation gestalt 1 is shown in drawing 1 and drawing 2, The metal support substrate 3 from which a divided inferior surface of tongue is [ substrate ] exposed from said closure object 2, and at least a part becomes the 1st electrode with said closure object 2, It stands in a row in said support substrate 3, and has the 2nd electrode lead 5 with which it is crooked in the shape of a single step stage and which hangs, and locates in a line and projects from lead 4 and said one side face of said closure object 2, and the control-electrode lead 6 from one side face of said closure object 2 in the middle of the projection.

[0055] Moreover, the semiconductor chip 7 is arranged in said closure object (package) 2. Power metal-oxide semiconductor field effect transistor is formed in this semiconductor chip 7, as shown in drawing 3 and drawing 4, it has the 1st electrode (drain electrode) 10 on the inferior surface of tongue, and it has structure with the 2nd electrode (source electrode) 11 and a control electrode (gate electrode) 12 on the top face.

[0056] The semiconductor chip 7 is being fixed to said support substrate (header) 3 through the jointing material for corrugated fibreboard 13 of conductivity [ electrode / 10 / at the bottom / drain ]. Moreover, the tip of the 2nd electrode lead (source lead) 5 which extends in said closure object 2, and the control-electrode lead (gate lead) 6 is connected to the source electrode 11 and the gate electrode 12 of a semiconductor chip 7 through the wire 14, respectively.

[0057] It hangs, and lead 4 is cut near the closure object 2, and serves as said gestalt which is not used for mounting. Moreover, the source lead 5 and the gate lead 6 are fabricated by the gull wing mold, and have surface mounting structure. That is, the inferior surface of tongue of the tip mounting part of a lead of a gull wing mold and the inferior surface of tongue of said header 3 are located on the same side.

[0058] said -- by hanging, although lead 4 and the gate lead 6 are one, respectively, the source lead (the 2nd electrode lead) 5 has become two. This two source lead 5 locates in a line and extends, and stands in a row in the interior of the closure object 2 on the side face by the side of the same of the one connection section 20. And this connection section 20 and the 2nd electrode (source electrode) 11 of said semiconductor chip 7 are connected with four wires 14. Rather than what is located in a line and connects two conventional wires, said connection section 20 becomes long, is located in a line and can connect four wires 14 now.

[0059] If it puts in another way, said connection section 20 constitutes a wire connection as mentioned above, and has the composition of making two or more leads, for example, the lead of two, extending from this wire connection. And the lead which extends from said wire connection is the source lead (the 2nd electrode lead) 5.

[0060] Four wires 14 are aluminum wires whose diameters are 500 micrometers, and connection die length (wire die length) has become less than 6.0mm. Moreover, the wire 14 connected to the gate lead 6 is an aluminum wire with a diameter of about 100 micrometers.

[0061] The hole 21 for attachment used for the central part of the header 3 which separates from the closure object 2 in case it attaches in a mounting substrate is formed. Here, one example of the dimension of each part is indicated. For the width of face of the maximum part, 10.4mm and die length are [ 12.66mm and the thickness of a header 3 ] 1.26mm. The lead of three of the source lead 5 and the gate lead 6 is 3.4mm pitch, it hangs in the middle of the gate lead 6 and the next source lead 5, and the lead 4 is located. The width of face of each lead is 0.9mm, thickness is 0.6mm, and spacing during the lead which forms an electrode which is mutually different is 0.45mm or more, in order to prevent short-circuit.

[0062] The width of face of the die length of the connection section 20 is 1.35mm in 5.4mm. Moreover, the distance with the inferior surface of tongue of each lead is 2.59mm from the inferior surface of tongue of a header 3. The closure object 2 is the dimension whose width of face of the corresponds with



the maximum width of a header 3, and thickness is about 5.5mm.

[0063] a semiconductor chip 7 is shown in drawing 3 and drawing 4 -- as -- from thin rectangular plate structure -- becoming -- for example, about 270 micrometers in die length of 5.0mm, width of face of 4.3mm, and thickness -- becoming -- the magnitude of the gate electrode 12 -- one side of a rectangle -- for the other sides, one side of a rectangle is [ the other sides of the magnitude of 0.6mm and the source electrode 11 ] 4.2mm in 1.4mm at 0.3mm.

[0064] The power metal-oxide semiconductor field effect transistor formed in the semiconductor chip 7 becomes the structure where many cels of MOSFET were formed in the epitaxial layer 26 of the 1st conductivity type of the front face of the semi-conductor substrate 25 which is a vertical mold MOSFET and consists of silicon of the 1st conductivity type as shown in drawing 4, and the 1st electrode (drain electrode) 10 is formed in the inferior surface of tongue of the semi-conductor substrate 25. This drain electrode 10 is formed with titanium, nickel, and gold, and that thickness is 5.0 micrometers.

[0065] The well 27 of two or more 2nd conductivity types with which alignment formation of the power metal-oxide semiconductor field effect transistor was carried out at the surface of said epitaxial layer 26, The source field 28 which consists of the 1st conductivity type formed in the surface part of this well 27, The gate dielectric film 29 formed for the adjoining well 27, and the gate electrode 30 formed on this gate dielectric film 29, The source electrode 11 which is located on the interlayer insulation film 31 which covers said gate electrode 30, and said epitaxial layer 26 and said interlayer insulation film 31, and is electrically connected to said source field 28 and which was prepared alternatively, It consists of protective coat 32 grades in which said source electrode 11 and said interlayer insulation film 31 grade are covered alternatively, and the source electrode 11 and the gate electrode 12 as a wirebonding field are exposed partially. This power metal-oxide semiconductor field effect transistor has the property shown as "D6 (device 6 series)" of drawing 5 and drawing 6.

[0066] The graph and drawing 6 drawing 5 indicates the on resistance between the drain-sources and a drain current characteristic to be are a graph which shows the saturation relation between the drain current by on resistance, and the electrical potential difference between the drain-sources. So that the graph of drawing 5 may show in device 4 series (D4) As for the on resistance  $R_{on}$  at the time of the impression at the time of being 100A, VGS serves as [ ID ] 20mohm by 10V. In device 5 series (D5) As for the on resistance  $R_{on}$  at the time of impression in case ID is 100A, VGS serves as 7.0mohm by 10V, and, as for the on resistance  $R_{on}$  at the time of the impression at the time of being 100A, VGS serves as [ ID ] 4.0mohm by 10V in device 6 series (D6).

[0067] Therefore, by D4, since on resistance is 20mohm, it is set to  $V_{DS}=2000mV$ , and since on resistance is 7.0mohm, the saturation voltage of  $V_{DS}$  in case ID is 100A is set to  $V_{DS}=700mV$ , and by D6, since on resistance is 4.0mohm, it becomes  $V_{DS}=400mV$  D5.

[0068] With the improvement in an electrical property, the device drive by the low battery is enabled for every generation, and case temperature (generation of heat of a package) is stopped by reduction of early and current (ID) loss of a transfer rate (switching rate).

[0069] However, it is ID even if it uses the thing of D6 series with the best property. In the case where it is 100A, generation of heat of a package is large. then -- this operation gestalt 1 -- the -- the 2nd electrode lead (source lead) 5 is made into two, the wire which connects the source lead 5 with a source electrode while heightening the heat transfer effectiveness through the source lead 5 is also made into 4 and a large number structure as compared with conventional two, and it has the structure of also suppressing generation of heat in a wire part.

[0070] Here, the loss power in the wire part at the time of the drain (current ID) impression is explained. The loss power P is given by the following formulas.

[0071]

[Equation 1]  $P=I^2$  and  $R_{wire}$  -- here -- I -- a current and  $R_{wire}$  -- resistance of a wire. Moreover,  $R_{wire}$  is given by the following formulas.

[0072]

[Equation 2]  $R_{wire}=\rho \cdot l/A$  -- here, as for the diameter of a wire, and  $\rho$ , as for the die length of a wire, and A, a wire does not resist [ l ]. In the case of two conventional wires, the resistance  $R_{wire}$  of a wire is

[0073] from several 2.

[Equation 3] In the case of four wires of the  $R_{wire}=3.1 \times 10^{-8}-6.0 \times 10^{-3} / (250 \times 10^{-6} \times 250 \times 10^{-6} \times 3.14) \times 2=0.47 \times 10^{-3}$  operation gestalt 1, it is [0074].



[Equation 4] It follows  $R_{\text{wire}} = 3.1 \times 10^{-8} - 6.0 \times 10^{-3} / (250 \times 10^{-6} \times 250 \times 10^{-6} \times 3.14) \times 4 = 0.24 \times 10^{-3}$ . It is as follows when the loss power at the time of the impression in the case of the conventional power metal-oxide semiconductor field effect transistor which used two wires of the conventional 500-micrometer diameter, and the power metal-oxide semiconductor field effect transistor by this operation gestalt 1 which used four wires is calculated using said-one number and several 3 and several 3 formula. In the case of two conventional wires, it is [0075].

[Equation 5]

$$P = (100) 2 - 0.47 \times 10^{-3} = 4.7 [W]$$

In the case of four wires of this invention, it is [0076].

[Equation 6]

$$P = (100) 2 - 0.24 \times 10^{-3} = 2.3 [W]$$

Thus, degradation of the resin which constitutes the closure object resulting from generation of heat of a wire part from reduction of the loss power at the time of electrical-potential-difference impression can be inhibited, and operational stability of power metal-oxide semiconductor field effect transistor can attain it.

[0077] Below, the manufacture approach of the semiconductor device of this operation gestalt 1 is explained, referring to drawing 7 thru/or drawing 14. However, drawing 9 thru/or drawing 14 are typical drawings.

[0078] A semiconductor device 1 is manufactured through each process of leadframe preparation (step 101), chip bonding (step 102), wirebonding (step 103), mold (step 104), lead trimming (step 105), lead forming (step 106), and solder plating (step 107), as the flow chart of drawing 7 shows.

[0079] That is, in manufacture of a semiconductor device 1, as shown in drawing 9 and drawing 8, a leadframe 40 is prepared (step 101). This leadframe 40 has structure (a level difference is 1.26mm) which was made crooked by the thin part and made the thin part higher one step than a thick part while 1 side pierces and carries out patterning of the metal plate (profile) which consists of a band-like copper alloy which becomes thick with a precision press by predetermined width of face, as shown in drawing 8. It becomes the thickness which a thick part is said header 3 and is 1.26mm, a thin part hangs, and it has thickness which is the parts of lead 4, the source lead 5, and the gate lead 6, and is 0.6mm.

[0080] A leadframe 40 serves as a strip-of-paper object, and can manufacture now the semiconductor device 1 of a predetermined number (for example, ten pieces) by the leadframe 40 of one sheet. Drawing 8 shows three pieces.

[0081] The leadframe 40 has the lead 42 of two or more cantilever structures which project in parallel at fixed spacing from one side face of the thin outer frame 41 and this outer frame 41, as shown in drawing 8. This lead 42 lies at right angles to said outer frame 41. The pitch of this lead 42 is 3.4mm.

[0082] Said lead 42 becomes 1 set by three, left one constitutes the gate lead 6 and the broad wire pad 43 is formed at the tip. The width of face of each lead 42 is set to 0.9mm, the width of face of said wire pad 43 is become to 2.0mm, and die length has become 1.36mm.

[0083] The lead 42 of two right-hand side constitutes the source lead 5. This two source lead 5 stands in a row on one side face of the one connection section 20 as mentioned above. The connection section 20 extends in parallel with said outer frame 41, the extension lay length is set to 5.4mm, and the rectangular lay length, i.e., width of face, has become 1.36mm. Moreover, said lead 42 is connected by the tie rod 44 which extends in parallel with said outer frame 41.

[0084] On the other hand, from the tie rod 44 between said gate lead 6 and the adjoining source lead 5, it hung and the lead 4 has projected. this -- hanging -- lead 4 -- on the way -- it comes out, and is caudad crooked in the shape of a single step stage, and the header 3 of the above-mentioned configuration is connected at that tip. The level difference by crookedness is 2.59mm. Moreover, header 3 adjoining comrades are connected in the thin coordinated section 45. Moreover, the hole 21 for attachment is formed in the header 3 as mentioned above.

[0085] A unit leadframe can be made the leadframe configuration of a multiple string by said coordinated section 45, the outer frame 41, and the tie rod 44. After the mold in manufacture, cutting removal of these linkage section 45, an outer frame 41, and the tie rod 44 is carried out.

[0086] Next, on the header 3 of said leadframe 40, the semiconductor chip 7 shown in drawing 3 and drawing 4 as the two-dot chain line of drawing 9 and drawing 8 shows is fixed (step 102). A semiconductor chip 7 is fixed to a header 3 with the jointing material for corrugated fibreboard 13 with

which drain electrode 10 part at the bottom consists of solder etc. (refer to drawing 1 and drawing 4 ).  
 [0087] Next, as shown in drawing 10 , the lead corresponding to this is connected with the electrode of the top face of a semiconductor chip 7 with a wire 14 (step 103). That is, the wire pad 43 of the gate lead 6 is connected with the gate electrode 12 by the wire 14 (ultrasonic wirebonding). Since the amount of currents at the time of impression is small, this wire 14 may be thin, for example, it is an aluminum wire with a diameter of about 100 micrometers. Moreover, the source electrode 11 and said connection section 20 of a semiconductor chip 7 are connected with the wire 14 by ultrasonic wirebonding. In this wirebonding, 4 bondings of the aluminum wire with a diameter of 500 micrometers are carried out to juxtaposition by parallel bonding or stitch bonding. The die length of the wire by bonding is set to 5.23 thru/or 5.62mm, and satisfies above-mentioned wire die length of 6.0mm or less.

[0088] Since the wirebonding field of the source electrode 11 of a semiconductor chip 7 turns into a 1.4mmx4.2mm rectangle field as mentioned above, even if it does not change area size, it can connect four wires 14 as they are.

[0089] Next, as shown in drawing 11 , transfermold etc. performs mold (step 104) and a part is covered from the tip side of the lead 42 of cantilever structure with the closure object 2 which consists of insulating resin in the middle of a header 3. Since the closure object 2 covers only the top-face side of a header 3, it exposes from the closure object 2 and the inferior surface of tongue of a header 3 turns into the heating surface for heat dissipation.

[0090] Next, as shown in drawing 12 , it fabricates with lead trimming with lead trimming and shaping equipment in ordinary use (step 105-106). While separating lead 42 from an outer frame 41, it hangs, lead 4 is cut near the closure object 2, constant width cutting removal of the tie rod 44 is carried out, and the header 3 which pierces the coordinated section 45 between headers 3 in the shape of a slit further, and adjoins is made to separate at the time of lead trimming. Moreover, while performing cutting which determines the dimension of the gate lead 6 and the source lead 5 at the time of lead forming, a lead is fabricated in a gull wing mold.

[0091] Next, as shown in drawing 13 , solder is plated by solder plating processing on the lead front face which projects from the closure object 2 (step 107). In drawing 13 , the part shown black thinly is a plating part of a lead. Thereby, the semiconductor device 1 of surface mounting structure can be manufactured.

[0092] With this operation gestalt 1, although a lead is surface mounting structure, if said lead forming is not performed and a lead trimming process prescribes a lead dimension, the semiconductor device 1 of the insertion mounting structure shown in drawing 14 can be manufactured by subsequent solder plating processing.

[0093] Drawing 15 is a rectifier circuit where the semiconductor device 1 of this operation gestalt 1 is incorporated. This rectifier circuit may consist of a Maine circuit and a phase correction (SR) circuit, and may be outputted to a connection circuit (R) from the phase compensator at the case where it outputs to a connection circuit (R) from the Maine circuit (Vout), and the time of AC-DC conversion (Vout).

[0094] Two power metal-oxide semiconductor field effect transistor Q1 and Q2 which considers the signal (+, -) from a power source (DC) as an input is controlled by Control IC (CONTROL IC). Control IC consists for example, of a switched regulator etc.

[0095] Moreover, power metal-oxide semiconductor field effect transistor Q1 and Q2 consists of a main-switch transistor Q2 incorporating P channel MOSFET, and a phase correction (SR) transistor Q1 incorporating N-channel MOS FET. The output of both transistors is graduated with zener-diode D1. Moreover, the low pass filter is constituted by Coil L and Capacitor C.

[0096] The main-switch transistor Q2 operates by the plus input (the phase correction transistor Q1 is off), the Maine circuit is constituted, it is outputted to a connection circuit (R) (Vout), the phase correction transistor Q1 operates by the minus input (the main-switch transistor Q2 is off), phase compensator is constituted, and it is outputted to a connection circuit (R) (Vout).

[0097] Therefore, in the semiconductor device 1 of the configuration of this operation gestalt 1, what incorporated N-channel MOS FET as a semiconductor chip 7 can be used as said phase correction transistor Q1, and what incorporated P channel MOSFET as a semiconductor chip 7 can be used as said main-switch transistor Q2.

[0098] The semiconductor device 1 (power transistor for a low-battery drive) of this operation gestalt 1

is built into Li ion rechargeable battery charge-and-discharge power management, such as battery chargers, such as a cellular phone and a video camera, OA equipment, and a notebook computer power source, etc.

[0099] According to this operation gestalt 1, the following effectiveness is done so.

(1) Since the 2nd electrode lead (source lead) 5 becomes two, according to increase of the heat transfer cross section, the amount of heat transfer to a mounting substrate is made to increase, the heat transfer effectiveness becomes high, and it can attain operational stability of power metal-oxide semiconductor field effect transistor.

(2) The two source lead 5 stands in a row in the long connection section 20 in the interior of the closure object 2. Since the wire 14 (diameter of 500 micrometers) of four thick aluminum is connected to this connection section 20, a loss output can be performed small and calorific value can be small stopped, even if a drain current increases sharply as compared with the former, Generating of degradation of the resin which constitutes the closure object 2 can be suppressed, and the reinforcement of power metal-oxide semiconductor field effect transistor can be attained.

[0100] (3) Since the heat generated with said wire 14 and the heat generated with the semiconductor chip 7 are transmitted to a mounting substrate through four thick wires 14 through the source lead 5 of 2 configurations with which the heat transfer effectiveness becomes high, it can attain effective heat dissipation.

(4) Straight extension of the control-electrode lead (gate lead) 6 and the 2nd electrode lead 5 can be carried out, and they can also be made into insertion mounting structure.

(5) By hanging, lead 4 can also be used as a lead for surface mounting structure or insertion mounting structure, then the 1st electrode (drain electrode) without cutting near the closure object 2.

[0101] In addition, you may make it the structure which made said two source lead 5 one through the piece of connection on the outside of the closure object 2. With this structure, since a lead serves as broad structure, the heat transfer effectiveness becomes high and the heat dissipation effectiveness by the side of a source electrode becomes high. Moreover, since it becomes the structure where the insertion section for insertion mounting is prepared at the tip of a lead which separates from the piece part of connection, by using this insertion section, insertion mounting is attained and becomes surface mounting and an insertion mounting combination mold. Moreover, in case it is used by insertion mounting, as for a two source lead, both spacing becomes always fixed, since it is connected by the piece of connection, and insertion mounting becomes easy.

[0102] (Operation gestalt 2) Drawing 16 is the top view showing the semiconductor device which are other operation gestalten (operation gestalt 2) of this invention. It is the example which considered the 2nd electrode lead (source lead) 5 as the 1 configuration, and made it larger than the width of face of said control-electrode lead (gate lead) 6 with this operation gestalt 2. the source lead 5 -- max -- the die length of said connection section 20, and abbreviation -- it can consider as comparable width of face. In this example, it has a dimension slightly narrower than the die length of the connection section 20. Moreover, the source lead 5 and the gate lead 6 are fabricated by the gull wing mold, and have surface mounting structure.

[0103] The same effectiveness as said operation gestalt 1 is had and boiled, in addition the source lead 5 becomes 1 configuration, from increase of the heat transfer cross section, the heat transfer effectiveness becomes high further and the semiconductor device 1 of this operation gestalt 2 will be contributed to operational stability of power metal-oxide semiconductor field effect transistor.

[0104] (Operation gestalt 3) Drawing 17 thru/or drawing 19 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 3) of this invention, and drawing 17 is the top view of the leadframe which uses the typical perspective view of a semiconductor device, and drawing 18 for a top view, and uses drawing 19 for semiconductor device manufacture. although it was the lead of 1 configuration which made the source lead 5 broader than the gate lead 6 like said operation gestalt 2, in this example, as for this operation gestalt 3, insertion mounting also made the tip of the source lead 5 possible structure -- it comes out.

[0105] That is, the projecting insertion section 50 for insertion mounting is formed at the tip of a lead of broad source lead 5 structure. The pitch of these two insertion sections 50 and the gate lead 6 becomes the same, and it becomes insertion mounting structure, for example, the pitch has become 3.4mm.

[0106] In manufacture of the semiconductor device 1 of this operation gestalt 3, the leadframe 40 as

shown in drawing 19 is used. This leadframe 40 is the structure connected so that it might become one about the source lead 5 at the header 3 side of a tie rod 44 in the leadframe 40 shown in drawing 8 used by manufacture of the semiconductor device 1 of said operation gestalt 1. Although the tip of the source lead 5 to which four wires 14 are connected does not constitute the connection section 20 from the source lead 5 turning into 1 lead any longer, it is made to call the connection section 20 as a name of the part.

[0107] In addition, since manufacture of the semiconductor device 1 of this operation gestalt 3 is the same as that of the case of said operation gestalt 1, the explanation is omitted. The source lead 5 becomes broad 1 configuration like [ the semiconductor device 1 of this operation gestalt 3 ] the thing of said operation gestalt 2, and the heat transfer effectiveness becomes high further from increase of the heat transfer cross section. Moreover, in the semiconductor device 1 of this operation gestalt 3, the insertion section 50 is formed at the tip of the source lead 5 of broad structure, and it has insertion mounting structure with the gate lead 6. Therefore, it can be mounted in the state of insertion mounting, and becomes the general-purpose mold of surface mounting and insertion mounting combination while also being able to mount it in the state of surface mounting, in case a semiconductor device 1 is mounted in a mounting substrate.

[0108] (Operation gestalt 4) Drawing 20 is the top view showing the semiconductor device which are other operation gestalten (operation gestalt 4) of this invention. It is the structure for which it was suitable when apprehensive about doing damages, such as a crack, to the resin which the source lead 5 has several times wide width of face as compared with the gate lead 6, needs the big force for bending, and constitutes the closure object 2 from this operation gestalt 4 when bending the source lead 5 near the closure object 2 when the source lead 5 is made into broad structure, and making a lead gestalt into surface-mounting structure.

[0109] That is, 1 thru/or two or more holes 51 for bending equal are formed in a part for the flection of said source lead 5 so that equalization of crookedness shaping of each part of the source lead 5 of broad structure may be attained. By doing in this way, each width of face of the bending part of the source lead 5 can be made below into the width of face of the gate lead 6.

[0110] With this operation gestalt 4, although the hole 51 for bending equal is set to one, it may make the narrow hole for bending equal of width of face the structure to arrange [ two or more ]. In this case, between each hole 51 for bending equal, the piece of branching connected with the connection section 20 will exist, the heat transfer which lets this part pass also becomes possible, and improvement in the heat transfer effectiveness will be raised.

[0111] or [ moreover, / that the width-of-face dimension of the bending part of the source lead 5 is the same as that of the gate lead 6 with this operation gestalt 4 ] -- or without a crack etc. occurring to the resin which the big force does not join a bending part and constitutes the closure object 2 as a result at the time of lead forming, since it becomes narrow, a lead moldability becomes good and the yield improves. Also in the structure of this operation gestalt 4, the insertion section may be prepared at the tip of said source lead 5, and insertion mounting may also be made into possible structure.

[0112] (Operation gestalt 5) Drawing 21 is the typical perspective view showing the semiconductor device which are other operation gestalten (operation gestalt 5) of this invention. As for this operation gestalt 5, the bis-installation hole 52 is established in the mounting part of the source lead 5 of broad structure. In the semiconductor device 1 of this operation gestalt 5, since the source lead 5 can fix a lead to a mounting substrate on a screw using the bis-installation hole 52, while it can aim at improvement in lead fixed reinforcement, since it is fixable to a direct mounting substrate, the heat transfer effectiveness also becomes high and will contribute it to operational stability of power metal-oxide semiconductor field effect transistor. Also in the semiconductor device 1 of this operation gestalt 5, the insertion section in which it projects for insertion mounting may be formed at the tip of a lead, and, of course, you may carry out to the structure in which insertion mounting is possible, i.e., surface mounting and an insertion mounting combination mold.

[0113] (Operation gestalt 6) Drawing 22 is the typical perspective view showing the semiconductor device which are other operation gestalten (operation gestalt 6) of this invention. In the semiconductor device 1 of said operation gestalt 1, the semiconductor device 1 of this operation gestalt 6 cuts header 3 part which projects from the closure object 2 near the closure object 2, and is miniaturized. The semiconductor device 1 of this operation gestalt 6 does so the same effectiveness as the semiconductor

device 1 of said operation gestalt 1.

[0114] (Operation gestalt 7) Drawing 23 - drawing 36 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 7) of this invention. the semiconductor device 1 of this operation gestalt 7 is shown in drawing 23 -- as -- the 2nd from one side face of the closure object 2 -- while making electrode lead [source (S) lead] 5 and one control-electrode lead [gate (G) lead] 6 project, respectively, it becomes the structure which uses the support substrate (header) 3 as the 1st electrode (drain electrode), and becomes 2 terminal configurations.

[0115] With this operation gestalt 7, the leadframe 40 shown with the top view of drawing 25 and the side elevation of drawing 26 is used. In the leadframe 40 of the operation gestalt 1 shown in drawing 8, this leadframe 40 has structure which the piece 47 of support is made to project from that both-sides side side, and supports the support substrate 3 at that tip while making it project between the support substrates 3 which adjoin the piece 46 of the support Lord from a tie rod 44 (refer to drawing 28).

[0116] A leadframe 40 is formed of press forming in a thin metal plate. Every two of said piece 47 of support are prepared in the both sides of the piece 46 of the support Lord. The supporting structure of this support substrate (header) 3 is called the side-face supporting structure. In addition, the structure which hangs like the operation gestalt 1 and supports a support substrate with a lead is hung, and the lead supporting structure is called.

[0117] With this operation gestalt 7, the source lead 5 becomes one and has 2 terminal composition. Although the tip (inner edge) part of the source lead 5 located in the interior of the closure object 2 serves as the wire connection 55, the width of face W of this wire connection 55 becomes large, and has die length which four thick wires 14 which attain to the diameter of 500 micrometers like the case of said operation gestalt 1 are located in a line, and can connect. For example, said width of face W is 6.0mm. Moreover, spacing (pitch) of a lead of two is 5.08mm. This lead structure suits JEDC specification.

[0118] The semiconductor device 1 of the manufacture approach of this operation gestalt 7 is the same as that of said operation gestalt 1, and as shown in drawing 29 and drawing 30, after it fixes the semiconductor chip 7 with which power metal-oxide semiconductor field effect transistor is formed in the principal plane side of the support substrate 3 like said operation gestalt 1, it connects the wire connection 55 of the source lead 5 with the 2nd electrode (source electrode) 11 of a semiconductor chip 7 with four thick aluminum wires 14. Moreover, a part for the point of the gate lead 6 (wire connection) is connected with the control electrode (gate electrode) 12 of a semiconductor chip 7 with the thin wire 14. In addition, with this operation gestalt and each subsequent operation gestalt, a thick wire is a wire with a diameter of about 500 micrometers, and a thin wire means a wire with a diameter of about 100 micrometers.

[0119] Next, as shown in drawing 31, by transfermold, the mold of the part for the surface part from which it separates from the hole 21 for attachment of a header 3 is carried out, and it is closed with the closure object 2 at a part for the toe of a semiconductor chip 7, a wire 14, the source lead 5, and the gate lead 6 (wire connection 55).

[0120] Next, cutting and shaping processing are performed. That is, while cutting the piece 47 of support in the root part of a header 3, a tie rod 44 is cut, and the source lead 5 and the gate lead 6 are separated from an outer frame 41, and the semiconductor device 1 of a surface mounting mold as shown in drawing 23 and drawing 24 is manufactured by fabricating the source lead 5 and the gate lead 6 in a gull wing mold further.

[0121] Drawing 32 and drawing 33 carry out straight extension of the lead, and are taken as the semiconductor device 1 of an insertion mounting mold. Such a semiconductor device 1 is mounted with the gestalt shown in drawing 34 thru/or drawing 36. These drawings are mimetic diagrams, drawing 34 and drawing 35 are the top views and side elevations of a surface mounting condition, and drawing 36 is the side elevation of an insertion mounting condition.

[0122] In surface mounting, the inferior surface of tongue at the tip where the inferior surface of tongue of a header 3, the source lead 5, and the gate lead 6 were bent is fixed to the connection part of wiring of the mounting substrate 56 using the solder layer prepared beforehand. The part surrounded by the dotted line shown by drawing 34 is the connection part 57 in which the header and the lead were formed in the mounting substrate 56.

[0123] Moreover, a header 3 is fixed to the mounting substrate 56 on the attachment screw 58 inserted in

the hole for attachment. Thereby, the heat generated with the semiconductor chip 7 or the wire 14 radiates heat to the mounting substrate 56 through a header 3 while radiating heat to the mounting substrate 56 through the source lead 5 and the gate lead 6. Therefore, efficient heat dissipation will be attained and operational stability of a semiconductor device 1 will be secured.

[0124] In such a surface mounting mold, since the lead used as an external terminal serves as two terminals, it becomes the same as that of the existing thing, the pattern, i.e., the foot pattern, of the connection part 57 of the mounting substrate 56, and the existing mounting substrate 56 can be used.

[0125] In insertion mounting, as shown in drawing 36, it is made to insert in the insertion hole (not shown) in which the lead parts of the source lead 5 or the gate lead 6 were prepared by the mounting substrate 56, and fixes with solder 59. Under the present circumstances, as shown in drawing 36, a radiation fin 60 is put on a header 3, and on the attachment screw 58 inserted in the hole for attachment of a header 3, a header 3 and a radiation fin 60 are screwed and it fixes. With this structure, the heat generated with the semiconductor chip 7 or the wire 14 radiates heat in atmospheric air through a header 3 and a radiation fin 60 while radiating heat to the mounting substrate 56 through the source lead 5 and the gate lead 6. Therefore, efficient heat dissipation will be attained and operational stability of a semiconductor device 1 will be secured.

[0126] According to this operation gestalt 7, like the operation gestalt 1, the heat generated with the semiconductor chip 7 will be efficiently transmitted to the source lead 5 by four thick wires 14, and will be transmitted to the mounting substrate 56 from the source lead 5 with them.

[0127] Since it hangs and a lead is not established, while this operation gestalt 7 has the same effectiveness as the operation gestalt 1, while width of face W of the wire connection 55 of the source lead 5 can be lengthened and connection of a thick wire becomes easy, it also becomes possible to make [ more / still ] the connection number of a wire.

[0128] (Operation gestalt 8) Drawing 37 thru/or drawing 41 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 8) of this invention. The semiconductor device 1 of this operation gestalt 8 serves as structure which uses the support substrate (header) 3 as the 1st electrode (drain electrode), and serves as 2 terminal configurations while it makes the 2nd electrode lead (source lead) 5 and the-one control-electrode lead (gate lead) 6 project from one side face of the closure object 2, respectively as shown in drawing 37 and drawing 38.

[0129] With this operation gestalt 8, as shown in the top view of drawing 39, it hangs like the leadframe 40 of said operation gestalt 1, and the leadframe 40 of the lead supporting structure is used. However, it hangs and the lead 4 is cut in the part which projects from the after [ mold ] closure object 2.

[0130] The whole lead which projects from one side face of the closure object 2 inclines toward 1 side of the closure object 2, and the semiconductor device 1 of this operation gestalt 8 is arranged. Therefore, when it mounts a semiconductor device 1 in a mounting substrate, it is effective in the ability to mount the location of the closure object 2 partially.

[0131] The leadframe 40 used for manufacture of the semiconductor device of this operation gestalt 8 is the structure which made the source lead 5 one in the leadframe 40 (refer to drawing 8) in the case of the operation gestalt 1. That is, although the leadframe 40 of this operation gestalt 8 does not have the connection section at the inner edge of the source lead 5, it is the configuration which has the broad wire connection 55. Moreover, in order to make large width of face W of said wire connection 55, it hangs and the lead 4 has become the configuration crooked one step in the gate lead 6 side on the way.

[0132] The pitch of the gate lead 6 and the lead of three which hangs and is located in a line with lead 4 and the source lead 5 is fixed. For example, the lead pitch is 2.54mm. For this reason, width of face W of the wire connection 55 can be set to 4.5mm. Since the wire connection 55 is large, as shown in drawing 39, the wire connection 55 is connectable with the source electrode 11 of a semiconductor chip 7 with four thick wires 14. Therefore, while the amount of source currents which flows to per one becomes small and being able to reduce the calorific value in a source wire, heat transfer to the source lead 5 can also be performed good.

[0133] The manufacture approach of a semiconductor device 1 is the same as said operation gestalt 1, and as shown in drawing 39, after it fixes the semiconductor chip 7 with which power metal-oxide semiconductor field effect transistor is formed in the principal plane side of the support substrate 3 like said operation gestalt 1, it connects the wire connection 55 of the source lead 5 with the 2nd electrode (source electrode) 11 of a semiconductor chip 7 with four thick aluminum wires 14. Moreover, a part for

the point of the gate lead 6 (wire connection) is connected with the control electrode (gate electrode) 12 of a semiconductor chip 7 with the thin wire 14.

[0134] Next, as shown in drawing 40, by transfermold, the mold of the part for the surface part from which it separates from the hole 21 for attachment of a header 3 is carried out, and it is closed with the closure object 2 at a part for the toe of a semiconductor chip 7, a wire 14, the source lead 5, and the gate lead 6 (wire connection 55).

[0135] Next, cutting and shaping processing are performed. That is, while carrying out cutting removal of the coordinated section 45 and the tie rod 44, the lead of three is cut, and the semiconductor device 1 of a surface mounting mold as shown in drawing 37 and drawing 38 is manufactured by fabricating the source lead 5 and the gate lead 6 in a gull wing mold further. It hangs in said lead trimming and lead 4 is cut in the root part of the closure object 2. By on the other hand changing the lead of three into the condition cut near the outer frame 41, as shown in drawing 41, it can do [ considering as the semiconductor device 1 of the insertion mounting mold which carries out straight extension of the lead, or ]. in this case, a central lead -- that is, it hangs and lead 4 turns into a drain (D) lead. The effectiveness same also in this operation gestalt 8 as the case of the operation gestalt 1 can be acquired.

[0136] (Operation gestalt 9) Drawing 42 thru/or drawing 44 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 9) of this invention. The semiconductor device 1 of this operation gestalt 9 serves as a surface mounting mold which made the three source lead 5 and the gate lead 6 of one project from one side face of the closure object 2, as shown in drawing 42. Like the operation gestalt 7, the semiconductor device 1 of this operation gestalt 9 manufactures support substrate 3 both sides using the leadframe 40 of the side-face supporting structure supported by the piece 47 of support, as shown in drawing 43.

[0137] As shown in drawing 43, this leadframe 40 is the pattern with which the gate lead 6 of one and the three source lead 5 extend toward the support substrate 3 from the tie rod 44. Moreover, the tip of the source lead 5 has structure connected by the connection section 20. If this connection section 20 constitutes and puts the wire connection 55 in another way, it is the configuration which extends two or more leads from the wire connection 55. Width of face of said wire connection 55 is greatly made from the side-face supporting structure being adopted, for example, can be taken with 6.5mm. [ large ]

[0138] Since the wire connection 55 is large, as shown in drawing 43, the wire connection 55 is connectable with the source electrode 11 of a semiconductor chip 7 with four thick wires 14. Therefore, the amount of source currents which flows to per one becomes small, and can reduce the calorific value in a source wire. Moreover, since the source lead 5 also becomes three, the heat-conduction engine performance through a source lead becomes high, in the condition of having been mounted in the mounting substrate, heat leakage nature becomes high and operational stability of a semiconductor device 1 can be secured.

[0139] It connects a part for the point of the gate lead 6 with the gate electrode 12 of a semiconductor chip 7 with the thin wire 14 while the manufacture approach of a semiconductor device 1 is the same as said operation gestalt 7, fixes a semiconductor chip 7 to the principal plane side of the support substrate 3 and connects the wire connection 55 of the source lead 5 with the source electrode 11 of a semiconductor chip 7 with four thick aluminum wires 14 after that, as shown in drawing 43.

[0140] Then, although illustration is not carried out, the mold of the part for the surface part from which it separates from the hole 21 for attachment of a header 3 is carried out by transfermold, the wire connection 55 grade of a semiconductor chip 7, a wire 14, the source lead 5, and the gate lead 6 is closed with the closure object 2, and the semiconductor device 1 as subsequently performed cutting and shaping processing to a leadframe part and shown in drawing 42 is manufactured. By on the other hand changing the lead of four into the condition cut near the outer frame 41, as shown in drawing 44, it can do [ considering as the semiconductor device 1 of the insertion mounting mold which carries out straight extension of the lead, or ]. The effectiveness same also in this operation gestalt 9 as the case of the operation gestalt 1 can be acquired.

[0141] (Operation gestalt 10) Drawing 45 thru/or drawing 47 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 10) of this invention. The semiconductor device 1 of this operation gestalt 10 serves as a surface mounting mold which made the three source lead 5 and the gate lead 6 of one project from one side face of the closure object 2, as shown in drawing 45. With this operation gestalt 10, as shown in the top view of drawing 46, it hangs



like the leadframe 40 of said operation gestalt 1, and the leadframe 40 of the lead supporting structure is used. However, it hangs and the lead 4 is cut in the part which projects from the after [ mold ] closure object 2 as shown in drawing 45.

[0142] The leadframe 40 used for the semiconductor device 1 of this operation gestalt 10 is the gate lead 6 of one, and one pattern with which it hangs and lead 4 and the three source lead 5 extend from the tie rod 44 toward the support substrate 3, as shown in drawing 46. In addition, a lead pitch is not fixed and is an irregular pitch.

[0143] Moreover, the tip of the source lead 5 has structure connected by the connection section 20. If this connection section 20 constitutes and puts the wire connection 55 in another way, it is the configuration which extends two or more leads from the wire connection 55. The large width of face of said wire connection 55 can be taken with 5.8mm.

[0144] The manufacture approach of a semiconductor device 1 is the same as said operation gestalt 8. It can do [ considering as the semiconductor device 1 of an insertion mounting mold as shown drawing 47, or ] by not performing lead forming only by cutting the lead (the source lead 5 and gate lead 6) of four near the outer frame 41 at the time of lead trimming. The effectiveness same also in this operation gestalt 10 as the case of the operation gestalt 1 can be acquired, and the heat damage of a closure object can be prevented, and operational stability of a semiconductor device 1 is secured.

[0145] (Operation gestalt 11) Drawing 48 thru/or drawing 50 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 11) of this invention. These operation gestalten 11 differ in the operation gestalt 10 at the point that a lead pitch is fixed, and the point which hangs and has used the lead 4 as a drain lead. That is, drawing 48 is the semiconductor device 1 of a surface mounting mold, and drawing 50 is the semiconductor device 1 of an insertion mounting mold. In the semiconductor device 1 of a surface mounting mold, it is also possible to hang, and to cut and use lead 4 in the root part of the closure object 2.

[0146] Drawing 49 is the leadframe 40 used with this operation gestalt 11. With this operation gestalt, after immobilization of a semiconductor chip 7, connection of a wire 14, and mold are completed, it hangs, and lead 4 is used as a lead, without cutting in the near (root) part of the closure object 2. The effectiveness same also in this operation gestalt 10 as the case of the operation gestalt 1 can be acquired, and the heat damage of a closure object can be prevented, and operational stability of a semiconductor device 1 is secured.

[0147] (Operation gestalt 12) Drawing 51 thru/or drawing 53 are drawings concerning the semiconductor device which are other operation gestalten (operation gestalt 12) of this invention. The semiconductor device 1 of this operation gestalt 12 serves as a surface mounting mold which made the broad one source lead 5 and the gate lead 6 of one project from one side face of the closure object 2, as shown in drawing 51.

[0148] Like the operation gestalt 7, the semiconductor device 1 of this operation gestalt 12 manufactures support substrate 3 both sides using the leadframe 40 of the side-face supporting structure supported by the piece 47 of support, as shown in drawing 52.

[0149] As shown in drawing 52, this leadframe 40 is the pattern with which the gate lead 6 of one and the broad one source lead 5 extend toward the support substrate 3 from the tie rod 44. Moreover, the wire connection 55 at the tip the source lead 5 is still broader. Moreover, in order to make it easy [ the broad source lead 5 / bending ] in the middle of the source lead 5 like the operation gestalt 4, the hole 51 for bending equal is formed.

[0150] In this leadframe 40, since it becomes the side-face supporting structure, width of face W of the wire connection 55 of the source lead 5 can be lengthened further. For example, width of face W can be lengthened with 7.0mm. The manufacture approach of a semiconductor device 1 is the same as said operation gestalt 7.

[0151] It can do [ considering as the semiconductor device 1 of an insertion mounting mold as shown in drawing 53, or ] by on the other hand changing the lead of four into the condition cut near the outer frame 41. In this case, it is necessary to carry out the tip of the broad source lead 5 to insertion mounting. This insertion mounting part should just use the outer lead part which extends outside from the tie rod 44 of a leadframe 40 as it is. Namely, an inner lead part presupposes that it is broad, and should just use the outer lead part as the conventional lead pattern.

[0152] The effectiveness same also in this operation gestalt 12 as the case of the operation gestalt 1 can



be acquired. Moreover, since width of face W of the wire connection 55 of the source lead 5 can be enlarged and a touch area with the lead of the presser-foot part of the leadframe presser foot which presses down a leadframe at the time of wirebonding can be enlarged, a part for the both ends of the wire connection 55 can be pressed down strongly, the ultrasonic-bonding engine performance can be made high, and improvement in the bond strength of a wire can be aimed at.

[0153] Below, a support substrate is explained using the operation gestalt 13 - the operation gestalt 19 about the semiconductor device of the structure cut near the closure object. These operation gestalten are the structures where the structure which explained the many with said each operation gestalt was adopted. The leadframe used with said each operation gestalt in manufacture of these semiconductor devices is used, and it is manufactured by cutting a support substrate near the closure object after mold in the manufacture.

[0154] About several mm or less support substrate juts out of a closure object the structure which cut the support substrate near the closure object, and it can respond to TO-262AA of JEDEC specification, TO-263AB, TO-268AA, etc. Moreover, in drawing of a leadframe, a part for a support substrate part and the point of the lead which extends toward this support substrate is shown in simple. Moreover, although illustration is not carried out to the wire connection of a source lead, four thick wires are located in a line, and are connected.

[0155] (Operation gestalt 13) This operation gestalt 13 is the semiconductor device 1 of the surface mounting mold which made the gate lead 6 and the source lead 5 project one [ at a time ] from one side face of the closure object 2, as shown in drawing 54 . With this operation gestalt 13, it hangs, and hangs rather than spacing of lead 4 and the gate lead 6, and spacing of lead 4 and the source lead 5 is large. With this structure, 3 terminal lead pitch specification (JEDEC specification) is applicable. Since it is 4 source wire also with this operation gestalt 13, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0156] (Operation gestalt 14) The top view of a semiconductor device whose drawing 56 is other operation gestalten (operation gestalt 14) of this invention, and drawing 57 are the top views showing a part of leadframe used for manufacture of a semiconductor device. Although the source lead 5 becomes two with this operation gestalt 14, and each source lead 5 has the broad wire connection 55 in the interior of the closure object 2, these two wire connections 55 have structure which broke off. You may be a number with still more source leads. In this case, each source lead 5 may be structure which stands in a row in the single wire connection 55, and the structure where two or more source leads 5 extend from one wire connection 55 is sufficient as it. Since it is 4 source wire also with this operation gestalt 14, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0157] (Operation gestalt 15) The top view of a semiconductor device whose drawing 58 is other operation gestalten (operation gestalt 15) of this invention, and drawing 59 are the top views showing a part of leadframe used for manufacture of a semiconductor device. With this operation gestalt 15, the source lead 5 is broad. therefore, the heat-conduction engine performance through the source lead 5 is markedly alike, and becomes high. Also with this operation gestalt 15, since it is 4 source wire, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since it is based on a broad source lead, heat transfer nature becomes good further and operational stability of a semiconductor device can be secured.

[0158] (Operation gestalt 16) The top view of a semiconductor device whose drawing 60 is other operation gestalten (operation gestalt 16) of this invention, and drawing 61 are the top views showing a part of leadframe used for manufacture of a semiconductor device. Like the operation gestalt 8, the whole lead which projects from one side face of the closure object 2 inclines toward 1 side of the closure object 2, and this operation gestalt 16 is arranged. Therefore, when it mounts a semiconductor device 1 in a mounting substrate, it is effective in the ability to mount the location of the closure object 2 partially.

[0159] On the other hand, as shown in drawing 62 , at the time of manufacture of a semiconductor device, it can hang and can also be made the semiconductor device of the inserting type which considers lead 4 as a drain lead, without carrying out cutting removal. Moreover, it hangs also with a surface

mounting mold, lead 4 is fabricated in a gull wing mold, and it can be used also as a drain lead. Since it is 4 source wire also with this operation gestalt 16, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable. Moreover, with this structure, 3 terminal lead pitch specification (JEDEC specification) is applicable.

[0160] (Operation gestalt 17) The top view of a semiconductor device whose drawing 63 is other operation gestalten (operation gestalt 17) of this invention, and drawing 64 are the top views of the leadframe after wirebonding in manufacture of a semiconductor device. With this operation gestalt 17, the source lead 5 is arranged in the center. Consequently, as shown in drawing 64, the thick wire 14 which connects the wire connection 55 of the source lead 5 and the source electrode 11 of a semiconductor chip 7 can be shortened, and resistance reduction of a source wire can be aimed at. Since it is 4 source wire also with this operation gestalt 17, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0161] (Operation gestalt 18) The top view of a semiconductor device whose drawing 65 is other operation gestalten (operation gestalt 18) of this invention, and drawing 66 are the top views showing a part of leadframe used for manufacture of a semiconductor device. It is made to make the edge of the wire connection of the source lead 5, and the wire connection 55 of the gate lead 6 have projected slightly with 0.5-0.7mm rather than the closure object 2 with this operation gestalt 18.

[0162] Since a touch area with the lead of the leadframe presser foot 70 can be enlarged in wirebonding performed while pressing down by the leadframe presser foot 70 of the configuration which shows the edge of the wire connection of the gate lead 6, and the edge of the wire connection 55 of the source lead 5 with a two-dot chain line at the time of wirebonding and imposing a supersonic wave as shown in drawing 66, a part for the both ends of the wire connection 55 can be pressed down strongly, the ultrasonic-bonding engine performance can be made high, and improvement in the bond strength of a wire can be aimed at. Thereby, improvement in the reinforcement of wirebonding, improvement in the yield, and improvement in dependability can be aimed at. Since it is 4 source wire also with this operation gestalt 18, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0163] (Operation gestalt 19) The top view of a semiconductor device whose drawing 67 is other operation gestalten (operation gestalt 19) of this invention, and drawing 68 are the top views showing a part of leadframe used for manufacture of a semiconductor device. This operation gestalt 19 is equivalent to the operation gestalt 9 which has the hole 21 for attachment in the support substrate 3, and the source leads 5 are three semiconductor devices 1. Since it is 4 source wire also with this operation gestalt 19, while degradation of the closure object which consists of resin by generation of heat in a source wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0164] (Operation gestalt 20) Drawing 69 is the top view of the semiconductor device which are other operation gestalten (operation gestalt 20) of this invention. This operation gestalt 20 is the semiconductor device 1 which fixed to the support substrate 3 the semiconductor chip 7 with which the power bipolar transistor was incorporated in the operation gestalt 7, and the lead which projects from one side face of the closure object 2 turns into the base (B) lead 71 and the emitter (E) lead 72. The support substrate 3 is used as a collector (C) terminal. Since it is 4 emitter wire also with this operation gestalt 20, while degradation of the closure object which consists of resin by generation of heat in an emitter wire part stops being able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0165] (Operation gestalt 21) Drawing 70 is the top view of the semiconductor device which are other operation gestalten (operation gestalt 21) of this invention. This operation gestalt 21 is the semiconductor device 1 which fixed to the support substrate 3 the semiconductor chip 7 with which IGBT was incorporated in the operation gestalt 7, and the lead which projects from one side face of the closure object 2 turns into the gate lead 6 and the emitter (E) lead 72. The support substrate 3 is used as a collector (C) terminal. Since it is 4 emitter wire also with this operation gestalt 21, while degradation of the closure object which consists of resin by generation of heat in an emitter wire part stops being

able to occur easily, since heat transfer nature is good, operational stability of a semiconductor device is securable.

[0166] Although invention made by this invention person above was concretely explained based on the operation gestalt, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned operation gestalt, and does not deviate from the summary.

[0167] The semiconductor device of this invention can be used for power sources of the automobile electrical device by which 100-120A, etc. and a high current are demanded, such as power sources of the laser beam printer by which low-ferver resistance is demanded, such as a power source of the pocket device by which it can include in various kinds of electronic instruments with insertion mounting structure as surface mounting structure, for example, low-battery actuation is demanded, a notebook computer, etc. This invention is applicable to the semiconductor device of TO-220 structure at least.

[0168]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

- (1) The 2nd electrode lead (source lead) becomes two, and according to increase of the heat transfer cross section, since the amount of heat transfer to a mounting substrate can be increased, the heat transfer effectiveness becomes high, and it can attain operational stability of transistors, such as power metal-oxide semiconductor field effect transistor, a power bipolar transistor, and IGBT.
- (2) Since it stands in a row in the long connection section in the interior of a closure object and the wire (diameter of 500 micrometers) of four thick aluminum is connected to this connection section, even if a drain current increases sharply as compared with the former (100A), a two source lead Since a loss output can be performed small and calorific value can be stopped small, generating of degradation of the resin which constitutes a closure object can be suppressed, and the reinforcement of power metal-oxide semiconductor field effect transistor can be attained.
- (3) Since the heat generated with said wire and the heat generated with the semiconductor chip are transmitted to a mounting substrate through four thick wires through the source lead of 2 configurations with which the heat transfer effectiveness becomes high, it can attain effective heat dissipation.
- (4) In what has the broad 2nd electrode lead, the heat dissipation engine performance becomes high further, and operational stability of a transistor can be secured.

---

[Translation done.]